



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0075814
Application Number

출원년월일 : 2002년 12월 02일
Date of Application DEC 02, 2002

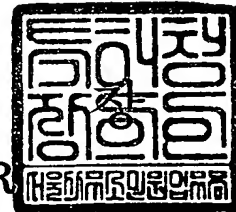
출원인 : 주식회사 넥서스칩스
Applicant(s) NEXUSCHIPS CO., LTD.



2003 년 10 월 13 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.02
【발명의 명칭】	범위선택 가능한 어드레스 디코더와 이를 이용한 고속 그래픽 처리용 프레임 메모리 장치
【발명의 영문명칭】	Range Selectable Decoder and Frame Memory Device for Executing Graphic Processes at High Speed Using The Same
【출원인】	
【명칭】	주식회사 벅서스칩스
【출원인코드】	1-2002-045112-1
【대리인】	
【성명】	이재화
【대리인코드】	9-1998-000398-5
【포괄위임등록번호】	2002-087204-9
【발명자】	
【성명의 국문표기】	최한준
【성명의 영문표기】	CHOI, Han Jun
【주민등록번호】	690508-1042022
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동 청솔마을 서광아파트 106동 701호
【국적】	KR
【발명자】	
【성명의 국문표기】	이덕영
【성명의 영문표기】	LEE, Duck Myung
【주민등록번호】	660711-1334920
【우편번호】	143-210
【주소】	서울특별시 광진구 광장동 577번지 현대파크빌 1003동 2203호
【국적】	KR
【발명자】	
【성명의 국문표기】	김학근
【성명의 영문표기】	KIM, Hag Keun
【주민등록번호】	561108-1143310



1020020075814

출력 일자: 2003/10/17

【우편번호】 435-042
 【주소】 경기도 군포시 산본2동 11단지 LG아파트 1126동 1002호
 【국적】 KR
 【심사청구】 청구
 【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이재화 (인)
 【수수료】
 【기본출원료】 20 면 29,000 원
 【가산출원료】 39 면 39,000 원
 【우선권주장료】 0 건 0 원
 【심사청구료】 14 항 557,000 원
 【합계】 625,000 원
 【감면사유】 소기업 (70%감면)
 【감면후 수수료】 187,500 원
 【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

하나의 어드레스에 대해 하나의 데이터만을 쓰는(write) 구조인 일반적인 메모리(RAM)의 경우, 그래픽 처리를 고속화하는데 있어 걸림돌이 된다. 더욱이 그래픽 디스플레이의 최종단인 LCD 패널이 STN에서 TFT를 거쳐 유기 EL로 변화해 감에 따라 고속 지원 능력이 증가하는 추세로 볼 때 고속의 그래픽 처리를 지원하는 구조의 메모리의 필요성은 필수불가결하다.

본 발명은 크기가 제한된 포터블 단말기에서 프로세서의 부담을 덜어주도록 각각 2개의 어드레스에 의해 원하는 범위의 어드레스 지정이 가능한 로우/컬럼 어드레스 디코더를 이용하여 한번에 원하는 범위의 다수의 메모리셀을 선택, 데이터 쓰기가 가능하여 고속의 그래픽 처리가 이루어질 수 있는 프레임 메모리 장치를 제공한다.

【대표도】

도 2

【색인어】

고속 그래픽 처리, 프레임 메모리, 범위선택가능 디코더, LCD

【명세서】**【발명의 명칭】**

범위선택 가능한 어드레스 디코더와 이를 이용한 고속 그래픽 처리용 프레임 메모리 장치
{Range Selectable Decoder and Frame Memory Device for Executing Graphic Processes at High
Speed Using The Same}

【도면의 간단한 설명】

도 1은 종래의 그래픽 처리용 메모리 장치의 개략 구성도,

도 2는 본 발명의 제1실시예에 따른 프레임 메모리 장치의 개략 구성도,

도 3은 도 2의 범위선택가능 어드레스 디코더의 개념을 쉽게 설명하기 위해 4×4 메모리
장치에 사용되는 제1실시예에 대한 상세 회로도,

도 4는 도 2의 범위선택가능 어드레스 디코더로 사용되는 제2실시예에 대한 상세 회로도

도 5는 도 2의 범위선택가능 어드레스 디코더로 사용되는 제3실시예에 대한 상세 회로도

도 6은 본 발명에 따른 범위선택가능 어드레스 디코더의 범위선택에 적용되는 단위그룹
지정방식을 설명하기 위한 설명도,

도 7은 본 발명에 따른 범위선택가능 어드레스 디코더에서 2개 이상의 단위그룹 선택을
보여주는 설명도,

도 8은 범위선택가능 어드레스 디코더에서 하나의 단위그룹만을 선택한 경우 선택된 단
위그룹 내의 어드레스 지정을 설명한 설명도,

도 9a 내지 도 9c는 범위선택가능 어드레스 디코더에서 2개 이상의 단위그룹을 선택한 경우 도 5에 도시된 그룹선택회로의 그룹선택 신호처리 과정을 예시한 설명도,

도 10은 범위선택가능 어드레스 디코더에서 2개 이상의 단위그룹을 선택한 경우 전체적인 어드레스 지정을 위한 신호처리 과정을 예시한 설명도,

도 11a 내지 도 11c는 본 발명의 제1실시예에 따른 프레임 메모리 장치를 사용하여 구현 가능한 그래픽의 예를 보여주는 도면,

도 12는 본 발명의 제2실시예에 따른 프레임 메모리 장치의 개략 구성도,

도 13은 본 발명의 제3실시예에 따른 프레임 메모리 장치의 개략 구성도,

도 14는 본 발명의 제4실시예에 따른 프레임 메모리 장치의 개략 구성도,

도 15는 제2 내지 제4 실시예의 프레임 메모리 장치에 사용되는 범용 어드레스 디코더의 상세 회로도이다.

* 도면의 주요부분에 대한 부호설명 *

11 ; 메모리셀 12 ; 범위선택가능 컬럼 디코더

13 ; 범위선택가능 로우 디코더 20,30,40 ; 범위선택가능 디코더

21,22,31,32 ; 제1 및 제2 디코더 23a-23f,41 ; XOR 게이트

30 ; 제1 내지 제30 택 게이트

42-44 ; 제1 내지 제3 범위선택가능 디코더

45 ; 로우 활성화 신호발생기 46 ; 미들 활성화 신호발생기

47 ; 하이 활성화 신호발생기 48 ; 제1멀티플렉서

49a,49b,50 ; 제2 내지 제4 멀티플렉서 그룹



51 ; 우방향 시프트 레지스터 52 ; 좌방향 시프트 레지스터

53,54 ; 제1 및 제2 반전기

55-57 ; 제1 내지 제3 AND 게이트 그룹

58 ; OR 게이트 59 ; 그룹선택회로

70,70a ; 범용 어드레스 레지스터

71,72 ; 제1 및 제2 8-새-256 디코더 73 ; OR 게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<31> 본 발명은 범위선택 가능한 어드레스 디코더와 이를 이용한 고속 그래픽 처리용 프레임 메모리 장치에 관한 것으로, 특히 2개의 어드레스에 의해 원하는 범위의 어드레스 지정이 가능한 로우/컬럼 어드레스 디코더를 이용하여 한번에 원하는 범위의 다수의 메모리셀을 선택하여 쓰기가 가능한 범위선택 가능한 어드레스 디코더와 이를 이용한 고속 그래픽 처리용 프레임 메모리 장치에 관한 것이다.

<32> 이동통신단말기나 PDA(이하 "포터블 단말기"라 함) 등과 같이 범용 PC보다 떨어지는 데이터 처리능력을 갖는 프로세서를 구비한 포터블 단말기에서는 LCD와 같은 표시장치에 그래픽을 이용한 애니메이션 영상, 게임이나 광고 등을 고속으로 표시하기 위해서는 그래픽 처리에 고속의 신호처리 기술이 요구되고 있다.

<33> 특히 최근 들어서는 LCD 패널이 STN에서 TFT 방식으로 변하고 있고, 더욱이 TFT LCD 보다 더 빠른 신호응답이 가능한 유기 EL 디스플레이가 개발되고 있으며, 40화음 벨소리 기능에

30만 화소급 디지털 카메라 부착 등 다양한 음성 및 영상 처리를 요구하는 기능이 채택되고 있고, 이에 반하여 포터블 단말기의 크기는 더욱더 소형화가 진행되고 있어 포터블 단말기로서는 제한된 공간 내에 고속의 신호처리를 구현하여야 하는 이중의 어려움에 직면해 있다.

- <34> 따라서, 이러한 포터블 단말기에서는 신호처리를 위해 탑재되는 프로세서의 고성능화는 물론 상기한 고기능의 신호처리를 위해 가능한 한 프로세서에 많은 부담을 주지 않도록 시스템을 구성하는 것이 필요하다.
- <35> 한편, 종래의 포터블 단말기에서 LCD와 같은 표시장치에 비디오 신호를 표시할 때 그래픽 데이터는 프로세서(호스트)로부터 어드레스 지정에 의해 RAM으로 이루어지는 프레임 메모리(Frame Memory)에 일시적으로 기입된 후 그로부터 데이터가 읽혀져서 표시장치에 표시된다.
- <36> 상기 프레임 메모리로 사용되는 일반적인 메모리(RAM)의 경우는 하나의 어드레스에 대해 하나의 데이터만을 쓰는(write) 구조를 갖고 있어, 그래픽 처리의 고속화에 걸림돌이 되고 있으며 프로세서에 부담이 되고 있다.
- <37> 즉, 상기 방식의 종래의 RAM에서는 도 1에 도시된 바와 같이 매트릭스 방식으로 배열된 다수의 메모리셀(1)에 대한 컬럼(column) 어드레스를 선택하기 위한 컬럼 어드레스 디코더(2)와 로우(row) 어드레스를 선택하기 위한 로우 어드레스 디코더(3)를 일체로 구비하고 있다. 이러한 RAM에서는 각각 하나의 컬럼 어드레스와 로우 어드레스가 컬럼/로우 어드레스 디코더(2,3)에 인가되어 하나의 메모리 셀을 선택, 쓰기 가능하도록 하여 입력 데이터를 저장하고 있다.



<38> 여기에서 종래의 그래픽 처리방식의 예를 도 1과 같이 일정한 로우 어드레스에 컬럼 어드레스가 1부터 100까지인 직선을 그리는 경우를 생각해본다. 즉, 로우 어드레스를 스크린의 y축 값으로, 컬럼 어드레스를 스크린의 x축 값으로 가정하는 경우, 상기 직선은 x축과 평행한 직선을 의미하는 것으로, 종래의 단일 메모리셀 지정방식의 구조를 가진 메모리라면 100번의 메모리 쓰기를 실행하여야 하나의 직선을 그릴 수 있게 된다. 따라서 그래픽 처리를 고속화하는 데 있어 종래 기술은 불가피하게 개선되어야만 될 필요가 있는 것이다.

<39> 더욱이, 예를 들어 로우 어드레스도 1부터 100까지, 그리고 컬럼 어드레스도 1부터 100까지인 사각형을 그리는 경우, 종래의 기술로는 100×100 , 즉 10000번의 메모리 쓰기가 수행되어야 하기 때문에 그래픽 처리속도가 늦고 이에 따라 상기 동작으로 반복하여 처리하는데 따른 프로세서에 대한 부담이 증가하게 된다.

【발명이 이루고자 하는 기술적 과제】

<40> 따라서 본 발명은 이러한 종래 기술의 문제점을 감안하여 안출된 것으로, 그 기본 목적은 크기가 제한된 포터블 단말기에서 프로세서의 부담을 덜어주도록 각각 2개의 어드레스에 의해 원하는 범위의 연속된 어드레스 지정이 가능한 로우/컬럼 어드레스 디코더를 이용하여 한번에 원하는 범위의 다수의 메모리셀을 선택, 데이터 쓰기가 가능하여 고속의 그래픽 처리가 이루어질 수 있는 프레임 메모리 장치를 제공하는 데 있다.

<41> 본 발명의 다른 목적은 로우/컬럼 어드레스 디코더 중 하나를 2개의 어드레스에 의해 원하는 범위의 연속된 어드레스 지정이 가능한 범위선택가능 어드레스 디코더를 이용하고, 다른 어드레스 디코더는 2개의 어드레스를 사용하여 2개의 어드레스 라인을 지정할 수 있는 어드레스 디코더를 조합하여 한번에 원하는 범위의 2개의 직선에 대응하는 다수의 메모리셀을 선택,

데이터 쓰기가 가능하여 고속의 그래픽 처리가 이루어질 수 있는 프레임 메모리 장치를 제공하는 데 있다.

<42> 본 발명의 또 다른 목적은 각각 2개의 어드레스를 사용하여 2개의 어드레스 라인을 지정할 수 있는 한쌍의 로우/컬럼 어드레스 디코더를 조합하여 한번에 원하는 4 지점의 메모리셀을 선택, 데이터 쓰기가 가능하여 고속의 그래픽 처리가 이루어질 수 있는 프레임 메모리 장치를 제공하는 데 있다.

<43> 본 발명의 다른 목적은 2개의 어드레스에 의해 원하는 범위의 어드레스 지정이 가능하여 프레임 메모리장치에서 한번에 원하는 범위의 다수의 메모리셀을 선택, 지정할 수 있는 범위선택가능 어드레스 디코더를 제공하는 데 있다.

【발명의 구성 및 작용】

<44> 상기한 목적을 달성하기 위하여, 본 발명의 제1특징에 따르면, 본 발명은 매트릭스 방식으로 배열된 다수의 메모리셀과, 제1 및 제2 컬럼 어드레스를 받아서 상기 다수의 메모리셀에 대한 적어도 1이상의 연속된 컬럼 어드레스 범위를 지정하기 위하여 적어도 1이상의 연속된 컬럼 어드레스 선택신호를 발생하기 위한 범위선택가능 컬럼 어드레스 디코더와, 제1 및 제2 로우 어드레스를 받아서 상기 다수의 메모리셀에 대한 적어도 1이상의 연속된 로우 어드레스 범위를 지정하기 위하여 적어도 1이상의 연속된 로우 어드레스 선택신호를 발생하기 위한 범위선택가능 로우 어드레스 디코더로 구성되며, 상기 적어도 1이상의 연속된 컬럼 어드레스 선택신호와 적어도 1이상의 연속된 로우 어드레스 선택신호에 의해 선택되는 다수의 메모리셀에 대하여 그래픽 데이터 쓰기가 한번에 이루어지는 것을 특징으로 하는 프레임 메모리 장치를 제공한다.

<45> 본 발명의 제2특징에 따르면, 본 발명은 매트릭스 방식으로 배열된 다수의 메모리셀과, 하이 및 로우 컬럼 어드레스를 받아서 상기 다수의 메모리셀에 대한 적어도 1이상의 컬럼 어드레스 범위를 지정하기 위한 적어도 1이상의 컬럼 어드레스 선택신호를 발생하기 위한 범위선택가능 컬럼 어드레스 디코더와, 하이 및 로우 로우 어드레스를 받아서 상기 다수의 메모리셀에 대한 2개의 로우 어드레스를 지정하기 위한 2개의 로우 어드레스 선택신호를 발생하기 위한 범용 어드레스 디코더로 구성되며, 상기 하이 및 로우 로우 어드레스의 입력에 따라 범용 어드레스 디코더로부터 지정되는 2개의 로우 라인에서 범위선택가능 컬럼 디코더에 의해 지정되는 로우 컬럼 어드레스부터 하이 컬럼 어드레스 사이의 메모리 셀이 지정되어, 한번에 X축에 평행한 2개의 평행선 그래픽 데이터가 기입되는 것을 특징으로 하는 프레임 메모리 장치를 제공한다.

<46> 본 발명의 제3특징에 따르면, 본 발명은 매트릭스 방식으로 배열된 다수의 메모리셀과, 하이 및 로우(low) 로우(row) 어드레스를 받아서 상기 다수의 메모리셀에 대한 적어도 1이상의 로우 어드레스 범위를 지정하기 위한 적어도 1이상의 로우 어드레스 선택신호를 발생하기 위한 범위선택가능 로우 어드레스 디코더와, 하이 및 로우 컬럼 어드레스를 받아서 상기 다수의 메모리셀에 대한 2개의 컬럼 어드레스를 지정하기 위한 2개의 컬럼 어드레스 선택신호를 발생하기 위한 범용 어드레스 디코더로 구성되며, 상기 하이 및 로우 컬럼 어드레스의 입력에 따라 범용 어드레스 디코더로부터 지정되는 2개의 컬럼 라인에서 범위선택가능 로우 디코더에 의해 지정되는 로우 로우 어드레스부터 하이 로우 어드레스 사이의 메모리 셀이 지정되어, 한번에 Y축에 평행한 2개의 평행선 그래픽 데이터가 기입되는 것을 특징으로 하는 프레임 메모리 장치를 제공한다.

<47> 상기 범위선택가능 컬럼 어드레스 디코더와 범위선택가능 로우 어드레스 디코더는 각각 제1 및 제2 컬럼 어드레스와 제1 및 제2 로우 어드레스가 각각 8비트 신호인 경우 256개 전체

어드레스를 16 그룹으로 나누어 16개 어드레스를 하나의 단위로 하여, 상기 제1 및 제2 어드레스 입력의 각각 상위 4 비트에 의해 해당 그룹을 선택하고, 제1 및 제2 어드레스 중에서 로우(low) 어드레스 입력의 하위 4 비트에 의해 선택된 그룹 내부의 16개 어드레스 중에서 로우 어드레스 범위를 선택하며, 제1 및 제2 어드레스 중에서 하이(hi) 어드레스 입력의 하위 4 비트에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 범위를 선택하고, 선택된 제1 어드레스와 제2 어드레스 사이의 연속된 모든 어드레스를 선택하는 것에 의해 연속된 범위의 어드레스 선택이 이루어진다.

<48> 또한, 상기 범위선택가능 컬럼 어드레스 디코더와 범위선택가능 로우 어드레스 디코더는 각각 8-to-256 범위선택가능 디코더로 구성되며, 상기 8-to-256 범위선택가능 디코더는 상기 하이 및 로우 두 어드레스 입력의 상위 4 비트 값이 서로 동일한지 여부를 판단하여, 동일한 경우 1 그룹만을 선택하고 동일하지 않은 경우 2이상의 그룹이 선택되도록 멀티플렉서에 대한 출력선택신호를 발생하는 XOR 게이트와, 상기 하이 및 로우 두 어드레스의 상위 4비트 입력 사이의 범위를 선택하기 위한 제1 범위선택가능 디코더를 구비하고, 하이 및 로우 두 어드레스 입력의 상위 4 비트 값이 서로 동일하지 않은 경우 각각 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)을 선택하는 로우 활성화 신호(LOW-EN), 미들 활성화 신호(MID-EN) 및 하이 활성화 신호(HI-EN)를 발생하기 위한 그룹선택회로와, 상기 로우 어드레스 입력의 하위 4 비트에 의해 선택된 로우 그룹 내부의 16개 어드레스 중에서 로우 어드레스 범위를 선택하기 위하여 4'b1111와 로우 어드레스 입력 값의 하위 4 비트 사이의 범위값을 선택하기 위한 제2 범위선택가능 디코더와, 상기 하이 어드레스 입력의 하위 4 비트에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 범위를 선택하기 위하여 4'b0000과 하이 어드레스 입력 값의 하위 4 비트 사이의 범위값을 선택하기 위한 제3 범위선택가능 디코더와, 상기 제3 범위선택가능 디

코더의 입력단에 상기 로우 어드레스 입력의 하위 4 비트와 4'b0000 중 어느 하나의 입력을 상기 그룹선택회로의 출력에 따라 선택적으로 출력하기 위한 제1멀티플렉서와, 16개로 이루어지며 각각 일측 입력단자에 1'b0가 인가되고 타측 입력단자에 로우 활성화 신호(LOW-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제2멀티플렉서 그룹과, 16개로 이루어지며 각각 일측 입력단자에 1'b0가 인가되고 타측 입력단자에 미들 활성화 신호(MID-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제3멀티플렉서 그룹과, 16개로 이루어지며 각각 일측 입력단자에 제1 범위선택가능 디코더의 출력이 인가되고 타측 입력단자에 하이 활성화 신호(HI-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제4멀티플렉서 그룹과, 상기 제2 범위선택가능 디코더의 출력이 각각의 일측 입력에 연결되고 다른 입력단에는 각각 16개의 제2멀티플렉서 그룹의 출력이 연결된 16개의 제1AND 게이트 그룹과, 선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스를 선택하도록 모든 출력에 1₂(all's one)를 출력하기 위해 각각의 일측 입력에 16'hffff이 인가되고 다른 입력단에는 각각 16개의 제3멀티플렉서 그룹의 출력이 연결된 16개의 제2AND 게이트 그룹과, 상기 제3 범위선택가능 디코더의 출력이 각각의 일측 입력에 연결되고 다른 입력단에는 각각 16개의 제4멀티플렉서 그룹의 출력이 연결된 16개의 제3AND 게이트 그룹과, 상기 제1 내지 제3 AND 게이트 그룹의 출력을 논리합하기 위한 OR 게이트로 구성된다.

- <49> 상기 제1 내지 제3 범위선택가능 디코더는 각각 4-to-16 범위선택가능 디코더로 구성되며, 상기 4-to-16 범위선택가능 디코더는 상기 4비트의 로우 어드레스가 인가될 때 16비트 디코딩 출력을 발생하는 범용 제1디코더와, 상기 4비트의 하이 어드레스가 인가될 때 16비트 디코딩 출력을 발생하는 범용 제2디코더와, 상기 제1디코더의 제1 내지 제16 출력과 제2디코더의

제1 내지 제16 출력을 신호 처리하여 상기 로우 어드레스와 하이 어드레스 사이의 범위값을 선택하기 위한 제1 내지 제30 XOR 게이트로 구성되는 것이 바람직하다.

<50> 상기 프레임 메모리 장치는 제1 및 제2 컬럼 어드레스가 서로 동일하고, 제1 및 제2 로우 어드레스가 서로 다른 경우 제1 및 제2 로우 어드레스 사이의 연속된 어드레스에 해당하는 Y축과 평행한 하나의 직선상의 다수의 메모리셀이 선택되고, 상기 제1 및 제2 로우 어드레스가 서로 동일하고, 제1 및 제2 컬럼 어드레스가 서로 다른 경우 제1 및 제2 컬럼 어드레스 사이의 연속된 어드레스에 해당하는 X축과 평행한 하나의 직선상의 다수의 메모리셀이 선택된다.

<51> 상기 프레임 메모리 장치는 상기 제1 및 제2 컬럼 어드레스가 서로 다르고 제1 및 제2 로우 어드레스가 서로 다른 경우, 제1 및 제2 컬럼 어드레스 사이의 연속된 어드레스에 해당되고 제1 및 제2 로우 어드레스 사이의 연속된 어드레스에 해당되는 사각형상 내의 모든 메모리셀이 선택된다.

<52> 본 발명의 제4특징에 따르면, 본 발명은 매트릭스 방식으로 배열된 다수의 메모리셀과, 하이 및 로우 컬럼 어드레스를 받아서 상기 다수의 메모리셀에 대한 2개의 컬럼 어드레스를 지정하기 위한 2개의 컬럼 어드레스 선택신호를 발생하기 위한 제1 범용 어드레스 디코더와, 하이 및 로우 로우 어드레스를 받아서 상기 다수의 메모리셀에 대한 2개의 로우 어드레스를 지정하기 위한 2개의 로우 어드레스 선택신호를 발생하기 위한 제2 범용 어드레스 디코더로 구성되며, 상기 하이 및 로우 로우 어드레스의 입력에 따라 범용 어드레스 디코더로부터 지정되는 2개의 로우 라인과, 하이 및 로우 컬럼 어드레스의 입력에 따라 범용 어드레스 디코더로부터 지정되는 2개의 컬럼 라인이 서로 교차하여 만나는 지점의 4개의 메모리 셀이 한번의 쓰기 동작으로 그래픽 데이터가 기입되는 것을 특징으로 하는 프레임 메모리 장치를 제공한다.

- <53> 상기 범용 어드레스 디코더는 각각 8비트의 하이 및 로우 어드레스 입력이 인가될 때 각각 256개의 출력 중에서 하나의 출력을 활성화시키는 범용 제1 및 제2 8-to-256 디코더와, 상기 제1 및 제2 8-to-256 디코더의 동일레벨 출력을 각각 논리합하기 위한 256개의 OR 게이트로 구성될 수 있다.
- <54> 상기한 바와 같이 본 발명에서는 로우 어드레스 디코더와 컬럼 어드레스 디코더 모두에서 일정한 범위의 메모리 셀을 모두 선택, 쓰기 가능하도록 하여 한 번의 쓰기 동작으로 어드레스 지정된 사각형을 그릴 수 있게 된다. 따라서 프레임 메모리 전단의 그래픽 처리부에서도 메모리 쓰기 동작이 끝날 때를 기다릴 필요 없이 다음 동작을 신속히 처리할 수 있음에 따라 휴대폰, PDA 등의 포터블 단말기에서 고속의 그래픽 처리가 가능하게 된다.
- <55> (실시예)
- <56> 이하에 상기한 본 발명을 바람직한 실시예가 도시된 첨부도면을 참고하여 더욱 상세하게 설명한다.
- <57> 첨부된 도 2는 본 발명의 제1실시예에 따른 프레임 메모리 장치의 개략 구성도로서, 제1 실시예에 따른 프레임 메모리 장치는 매트릭스 방식으로 배열된 다수의 메모리셀(11)과, 제1 및 제2 컬럼 어드레스를 받아서 상기 다수의 메모리셀(11)에 대한 적어도 1이상의 컬럼 어드레스 범위를 지정하기 위한 적어도 1이상의 컬럼 어드레스 선택신호를 발생하기 위한 범위선택가능 컬럼 어드레스 디코더(range selectable column address decoder)(12)와, 제1 및 제2 로우 어드레스를 받아서 상기 다수의 메모리셀(11)에 대한 적어도 1이상의 로우 어드레스 범위를 지정하기 위한 적어도 1이상의 로우 어드레스 선택신호를 발생하기 위한 범위선택가능 로우 어드레스 디코더(13)로 구성되어 있다.

- <58> 도 2에 도시된 본 발명의 제1실시예에 따른 프레임 메모리 장치는 로우/컬럼 어드레스 디코더(12,13)로서 모두 본 발명에 따른 범위선택가능 디코더로 구성된다. 이 범위선택가능 디코더는 하이(high)와 로우(low)의 두 개의 어드레스를 입력받아, 두 어드레스 사이의 범위에 위치하는 메모리 셀 모두(도 2의 경우는 빗금친 4개의 메모리 셀)를 활성화시킬 수 있는 어드레스 선택신호를 생성하는 디코더이다.
- <59> 상기한 범위선택가능 어드레스 디코더의 개념을 설명하기 위해 먼저 2 비트의 어드레스를 입력받아 4×4 메모리 장치에 사용되는 간단한 예를 들어보기로 하겠다. 도 3에 도시된 범위선택가능 어드레스 디코더(20)의 제1실시예는 두 개의 일반적인 2-to-4 디코더(즉, 2비트 입력으로 4개의 출력 중 하나를 선택 가능한 디코더)로 이루어진 제1 및 제2 디코더(21,22)의 출력을 6개의 제1 내지 제6 XOR 게이트(23a-23f)로 처리하는 구조로 되어 있다.
- <60> 상기 제1디코더(21)의 출력(Q1-Q4)과 제2디코더(22)의 출력(Q5-Q8)은 최상위 포트의 출력을 제외하고, 최하위 포트의 다음 상위 포트로부터 각각의 디코더 출력(Q2-Q7)이 제1 내지 제6 XOR 게이트(23a-23f)의 각각의 하나의 입력으로 연결되고, 제1 내지 제5 XOR 게이트(23a-23e)의 출력이 다음 번 XOR 게이트(23b-23f)의 다른 입력으로 연결된 구조를 가지며, 제1XOR 게이트(23a)의 다른 입력으로는 제1디코더(21)의 최하위 포트 출력(Q1)이 연결되어 있다.
- <61> 이 경우 범위선택가능 어드레스 디코더(20)의 전체적인 출력 어드레스(A0-A3)는 하위 어드레스로부터 순차적으로 제1디코더(21)의 최하위 포트 출력(Q1), 제2XOR 게이트(23b), 제4XOR 게이트(23d) 및 제6XOR 게이트(23f)의 출력으로부터 얻어진다.

- <62> 상기 범위선택가능 어드레스 디코더(20)의 동작은 도 3에서와 같이 하이 어드레스 (HI-ADD) 값이 예를 들어 2'b11 즉, 3_{10} (3_{10} 는 10진수 3을 나타낸다)이고, 로우 어드레스 (LOW-ADD) 값이 2'b01 즉, 1_{10} 인 경우, 하이 어드레스가 인가되는 제2디코더(22)는 3을 의미하는 포트만 1_2 (1_2 는 2진수 1을 의미한다)로 출력되고, 로우 어드레스가 인가되는 제1디코더(21)는 1을 의미하는 포트만 1_2 로 출력된다.
- <63> 이러한 출력은 함께 제1 내지 제6 XOR 게이트(23a-23f)를 순차적으로 거치면서 최종 출력 어드레스(A0-A3)는 1_{10} 을 의미하는 포트부터 3_{10} 을 의미하는 포트까지 모두 1_2 로 출력되게 된다. 즉, 범위선택가능 어드레스 디코더(20)로 인가되는 로우 어드레스(LOW-ADD) 값부터 하이 어드레스(HI-ADD) 값까지의 범위 내의 모든 출력 어드레스(A0-A3)의 포트가 1_2 로 설정되고, 나머지 포트는 모두 0_2 로 출력된다.
- <64> 도 4에는 하이 및 로우 어드레스 값으로 각각 4 비트를 어드레스로 입력받는 좀 더 확장된 범위선택가능 어드레스 디코더(30)의 제2실시예가 제시되어 있다. 제2실시예 또한 제1실시예와 유사하게 4-to-16 디코더로 이루어지는 제1 및 제2 디코더(31,32)와 제1 내지 제30 XOR 게이트(33)로 구성되어 있다.
- <65> 도 4에서 알 수 있듯이 입력 어드레스의 비트 수가 확장됨에 따라 XOR 게이트(33)의 수가 많아지게 되고 이에 따른 출력까지의 전달 지연시간(Propagation Delay Time)이 문제가 될 수 있다. 즉, N 비트 어드레스의 경우 직렬로 연결되는 XOR 게이트의 수는 $2*(2^N-1)$ 로, 예를 들어 8 비트 어드레스인 경우 $2*(2^8-1)=510$ 개의 XOR 게이트가 직렬로 연결된다. 이는 어드레스 디코더의 전달 지연시간 증가로 메모리의 정상적인 동작을 보장할 수 없게 만들 수도 있다.

- <66> 이러한 문제 해결을 위해 도 5에는 본 발명에 따른 범위선택가능 어드레스 디코더(40)의 제3실시예가 제시되어 있다
- <67> 도 5에 도시된 제3실시예에 따른 범위선택가능 어드레스 디코더(40)는 세 개의 4-to-16 범위선택가능 디코더를 이용한 제1 내지 제3 범위선택가능 디코더(42-44)를 사용하여 구현된다. 상기 제1 내지 제3 범위선택가능 디코더(42-44)는 8비트 어드레스 입력의 경우 하이 및 로우 두 어드레스 입력의 상위 4 비트[7:4]와 하위 4 비트[3:0]를 따로 적용하여 공통된 부분을 선택하도록 구현한다.
- <68> 제3실시예에 따른 범위선택가능 어드레스 디코더(40)는 상기한 제1 및 제2 실시예와 다른 방식으로 로우 어드레스(LOW-ADD) 값부터 하이 어드레스(HI-ADD) 값까지의 범위 내의 모든 출력 어드레스를 선택한다.
- <69> 즉, 제3실시예에 따른 범위선택가능 어드레스 디코더(40)는 먼저 도 6에서와 같이 256개 어드레스(A0-A255)를 16 그룹으로 나누어 16개 어드레스를 하나의 단위로 하여, 하이 및 로우 두 어드레스 입력의 각각 상위 4 비트[7:4]에 의해 해당 그룹을 선택하고, 로우 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 그룹 내부의 16개 어드레스 중에서 로우 어드레스 범위를 선택하며, 하이 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 범위를 선택하여, 선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스를 선택하게 된다.
- <70> 만약 하이 및 로우 두 어드레스 입력의 각각 상위 4 비트[7:4]에 의해 해당 그룹을 선택한 결과 1개 그룹만이 선택된 경우는 도 8과 같이 해당 그룹내에서 하위 4 비트[3:0]에 의한 출력으로 선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스를 선택한다.

- <71> 그러나, 하이 및 로우 두 어드레스 입력의 각각 상위 4 비트[7:4]에 의해 해당 그룹을 선택한 결과 2개 그룹 이상이 선택된 경우는 도 7 및 10과 같이 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)으로 나누어서 처리하게 된다.
- <72> 즉, 하이 및 로우 두 어드레스 입력의 각각 상위 4 비트[7:4]에 의해 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)이 선택된 경우, 로우 그룹(low)은 로우 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 그룹 내부의 16개 어드레스 중에서 로우 어드레스 값이 선택되고, 하이 그룹(hi)은 하이 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 값이 선택되며, 로우 그룹(low)과 하이 그룹(hi) 사이의 미들 그룹(mid)은 그룹 내부의 모든 어드레스를 1_2 로 출력하여 선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스가 선택되게 한다.
- <73> 먼저 제3실시예에 따른 범위선택가능 어드레스 디코더(40)는 XOR 게이트(41)를 사용하여 하이 및 로우 두 어드레스 입력에 의해 1개 그룹 또는 2이상의 그룹이 선택되는 지 여부를 판단한다.
- <74> XOR 게이트(41)는 하이 및 로우 두 어드레스 입력의 각각 상위 4 비트[7:4]를 입력받아서 하이 및 로우 두 어드레스 입력의 상위 4 비트[7:4] 값이 서로 동일한지 여부를 판단하여, 동일한 경우 0_2 출력을 발생하여 1 그룹만을 선택하고 동일하지 않은 경우 1_2 출력을 발생하여 해당하는 다수 그룹을 선택하는 그룹 활성화(enable) 신호를 발생한다.
- <75> 제3실시예에 따른 범위선택가능 어드레스 디코더(40)는 또한 XOR 게이트(41)에 인가되는 하이 및 로우 두 어드레스 입력의 각각 상위 4 비트[7:4]를 이용하여 2이상의 그룹이 선택될 때 해당되는 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)을 선택하기 위한 그룹선택회로(59)를 포함한다.

<76> 상기 그룹선택회로(59)는 하이 및 로우 두 어드레스 입력의 각각 상위 4 비트[7:4]가 인가될 때 두 어드레스 입력 사이의 범위값을 선택하기 위한 제1 범위선택가능 디코더(42)와, 상기 제1 범위선택가능 디코더(42)의 출력을 우방향으로 1비트 시프트시키기 위한 우방향 시프트 레지스터(SR-R)(51)와, 상기 제1 범위선택가능 디코더(42)의 출력을 좌방향으로 1비트 시프트시키기 위한 좌방향 시프트 레지스터(SR-L)(52)와, 상기 우방향 시프트 레지스터(52)의 출력을 반전시키기 위한 제1반전기(53)와, 상기 좌방향 시프트 레지스터(52)의 출력을 반전시키기 위한 제2반전기(54)와, 상기 우방향 시프트 레지스터(51)의 출력과, 상기 제1 범위선택가능 디코더(42)의 출력 및 제1반전기(53)의 출력을 조합하여 로우 그룹(low)을 선택하여 활성화시키기 위한 로우 활성화 신호(LOW-EN)를 발생하기 위해 AND 게이트로 이루어지는 로우 활성화 신호발생기(45)와, 상기 우방향 시프트 레지스터(51)의 출력과, 상기 제1 범위선택가능 디코더(42)의 출력 및 좌방향 시프트 레지스터(52)의 출력을 조합하여 미들 그룹(mid)을 선택하여 활성화시키기 위한 미들 활성화 신호(MID-EN)를 발생하기 위해 AND 게이트로 이루어지는 미들 활성화 신호발생기(46)와, 상기 제2반전기(54)의 출력과, 상기 제1 범위선택가능 디코더(42)의 출력 및 좌방향 시프트 레지스터(52)의 출력을 조합하여 하이 그룹(hi)을 선택하여 활성화시키기 위한 하이 활성화 신호(HI-EN)를 발생하기 위해 AND 게이트로 이루어지는 하이 활성화 신호발생기(47)로 구성된다.

<77> 또한, 상기 범위선택가능 어드레스 디코더(40)는 선택된 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)의 어드레스가 지정될 수 있도록 로우 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 로우 그룹 내부의 16개 어드레스 중에서 로우 어드레스 값을 선택하기 위하여 로우 어드레스 입력 값의 하위 4 비트와 4'b1111가 인가되는 제2 범위선택가능 디코더(43)와, 하이 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 그룹 내부의 16개 어드레스 중

에서 하이 어드레스 값을 선택하기 위하여 4'b0000과 하이 어드레스 입력 값의 하위 4 비트가 인가되는 제3 범위선택가능 디코더(44)를 포함한다.

<78> 상기 제3 범위선택가능 디코더(44)의 입력단에는 상기한 로우 어드레스 입력의 하위 4 비트[3:0]와 4'b0000 중 어느 하나의 입력을 상기 XOR 게이트(41)의 출력에 따라 선택적으로 출력하기 위한 제1멀티플렉서(48)가 구비되어 있다.

<79> 상기 제1멀티플렉서(48)에는 XOR 게이트(41)에 의해 1 그룹만이 선택된 경우 0₂ 출력이 인가되어 로우 어드레스 입력의 하위 4 비트[3:0]가 제3 범위선택가능 디코더(44)로 출력되고, 다수 그룹이 선택된 경우 1₂ 출력이 인가되어 4'b0000이 출력된다.

<80> 상기 제2 범위선택가능 디코더(43)의 출력은 16개의 제1AND 게이트 그룹(55)의 각각의 일측 입력에 연결되고, 상기 제3 범위선택가능 디코더(44)의 출력은 16개의 제3AND 게이트 그룹(57)의 각각의 일측 입력에 연결되어 있다. 또한, 미들 그룹에서는 선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스를 선택하도록 모든 출력에 1₂(all's one)를 출력하기 위해 16개의 제2AND 게이트 그룹(56)의 각각의 일측 입력에 16'hffff이 인가된다.

<81> 또한, 상기 제1 내지 제3 AND 게이트 그룹(55,56,57) 각각의 다른 입력단에는 각각 16개의 제2 내지 제4 멀티플렉서 그룹(49a,49b,50)가 삽입되어 있으며, 이들 멀티플렉서 그룹(49a,49b,50)의 출력을 선택하기 위하여 XOR 게이트(41)의 출력이 공통적으로 인가되어 있다.

<82> 제2멀티플렉서 그룹(49a)에는 일측 입력단자에 1'b0가 인가되고, 타측 입력단자에 로우 활성화 신호발생기(45)의 로우 활성화 신호(LOW-EN)가 인가되며, 제3멀티플렉서 그룹(49b)에는 일측 입력단자에 1'b0가 인가되고, 타측 입력단자에 미

들 활성화 신호발생기(46)의 미들 활성화 신호(MID-EN)가 인가되며, 제4멀티플렉서 그룹(50)의 일측 입력단자에 제1 범위선택가능 디코더(42)의 출력이 인가되고, 타측 입력단자에 하이 활성화 신호(HI-EN)가 인가되어 있다.

<83> 상기 제1 내지 제3 AND 게이트 그룹(55,56,57) 출력 각각은 그후 OR 게이트(58)를 통하여 논리합이 이루어진다.

<84> 상기와 같이 구성된 본 발명의 제3실시예에 따른 범위선택가능 어드레스 디코더(40)의 작용에 대하여 이하에 상세하게 설명한다.

<85> 먼저, 상위 4 비트에 의한 제1 범위선택가능 디코더(42)의 출력은 다음의 두 가지 경우로 분류된다.

<86> A. 상위 4 비트에 의해 한 그룹만 선택된 경우

<87> 이 경우는 하이 및 로우 두 어드레스 입력의 상위 4 비트[7:4] 값이 서로 동일한 경우로서 XOR 게이트(41)의 출력은 제로(0_2)가 된다. 이 경우 제1멀티플렉서(48) 및 제2 내지 제4 멀티플렉서 그룹(49a,49b,50)의 모든 출력은 제로 입력 값이 출력된다.

<88> 이하에 예를 들어 설명한다.

<89> 하이 어드레스 입력 값이 0011_1010_2 이고, 로우 어드레스 입력 값이 0011_0100_2 이라면, 제1 범위선택가능 디코더(42)의 출력은 $0000_0000_0000_1000_2$ 이 되고, 제3 범위선택가능 디코더(44)의 출력은 $0000_0111_1111_0000_2$ 이 된다. 이때 제2 및 제3 멀티플렉서 그룹(49a,49b)의 출력은 모두 제로(0_2)가 되어 제1 및 제2 AND 게이트 그룹(55,56)의 출력은 모두 제로($256'b0$)가 된다. 동시에 제4멀티플렉서 그룹(50)의 출력은 제1 범위선택가능 디코더(42)의 출력, 즉 $0000_0000_0000_1000_2$ 의 각각 한 비트와 제3 범위선택가능 디코더(44)의 출력 16 비트 모두가

16개의 제3AND 게이트 그룹(57)에서 각각 논리곱(AND) 되어 그 결과 256 비트의 값이 출력된다.

<90> 즉, 도 8과 같이 제1 범위선택가능 디코더(42)의 출력($0000_0000_0000_1000_2$)에 의해 16개의 그룹 중에서 제4번 그룹만을 활성화시키고 나머지 그룹의 출력은 모두 제로가 된다. 즉, 16개의 제3AND 게이트 그룹(57) 중에서 4번째 AND 게이트만이 활성화되고 나머지 15개의 AND 게이트는 출력이 제로(0)로 설정된다.

<91> 또한, 상기 4번째 AND 게이트에서는 제3 범위선택가능 디코더(44)의 출력($0000_0111_1111_0000_2$)이 다른 입력($1111_1111_1111_1111$)과 논리곱(AND) 되어 제3 범위선택가능 디코더(44)의 출력 그대로 출력된다.

<92> 즉, 최종 OR 게이트(58)의 출력 값은 하이 어드레스 입력 값인 0011_1010_2 , 즉 58_{10} 과로우 어드레스 입력 값인 0011_0100_2 , 즉 52_{10} 의 사이 범위에 해당되는 출력 비트만 1_2 로 출력되고, 나머지는 모두 제로(0_2)로 출력되어 52부터 58 사이의 범위내에 있는 모든 어드레스가 지정되는 것을 알 수 있다.

<93> B. 상위 4 비트에 의해 2이상의 그룹이 선택된 경우

<94> 이 경우는 하이 및 로우 두 어드레스 입력의 상위 4 비트[7:4] 값이 서로 동일하지 않은 경우로서 XOR 게이트(41)의 출력이 1_2 이 되면, 그룹을 선택한 결과 2개 그룹 이상이 선택된 경우로서 도 7 및 10과 같이 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)으로 나누어서 처리하게 된다.

<95> 이하에 예를 들어 설명한다.

- <96> XOR 게이트(41)의 출력이 1_2 이 되면 제1멀티플렉서(48) 및 제2 내지 제4 멀티플렉서(49a, 49b, 50)의 모든 출력은 1_2 입력 값이 출력된다.
- <97> 따라서, 실례를 들어 하이 어드레스 입력 값이 $0110_0010_2(98_{10})$ 이고, 로우 어드레스 입력 값이 $0011_1000_2(56_{10})$ 이라면, 제1 범위선택가능 디코더(42)의 출력은 $0000_0000_0111_1000_2$ 가 되고, 제2 범위선택가능 디코더(43)의 입력은 로우 어드레스 입력 값의 하위 4 비트 1000_2 와 4 비트 1111_2 로 되어 출력은 $1111_1111_0000_0000_2$ 가 된다. 또한 제3 범위선택가능 디코더(44)의 입력은 하이 어드레스 입력 값의 하위 4 비트 0010_2 와 4 비트 0000_2 로 되어 출력은 $0000_0000_0000_0011_2$ 가 된다.
- <98> 선택된 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)을 활성화시키기 위하여 그룹 선택회로(59)의 제1 범위선택가능 디코더(42)에서 상기 2 입력 어드레스의 상위 4 비트에 의해 얻어진 $0000_0000_0111_1000_2$ 출력 값은 그후 도 9a 내지 도 9c에 도시된 바와 같은 신호처리가 이루어진다.
- <99> 먼저 로우 그룹(low)을 선택하여 활성화시키기 위한 로우 활성화 신호(LOW-EN)는 우방향 시프트 레지스터(51)에 의해 제1 범위선택가능 디코더(42)의 출력을 1비트 우방향으로 시프트시킨 $0000_0000_0011_1100_2$ 출력과, 상기 제1 범위선택가능 디코더(42)의 출력 및 좌방향 시프트 레지스터(52)에 의해 제1 범위선택가능 디코더(42)의 출력을 1비트 좌방향으로 시프트시킨 다음 제1반전기(53)의 의해 반전된 출력 $1111_1111_0000_1111$ 을 로우 활성화 신호발생기(45)에서 논리곱(AND)을 취하면 그 결과값은 $0000_0000_0000_1000$ 으로 얻어진다.
- <100> 상기한 로우 활성화 신호발생기(45)의 출력 $0000_0000_0000_1000$ 은 제4그룹을 활성화시키는 것을 의미한다.

- <101> 상기와 유사하게 먼저 미들 그룹(mid)을 선택하여 활성화시키기 위한 미들 활성화 신호(MID-EN)는 상기 제1 범위선택가능 디코더(42)의 출력, 우방향 시프트 레지스터(51)에 의해 제1 범위선택가능 디코더(42)의 출력을 1비트 우방향으로 시프트시킨 $0000_0000_0011_1100_2$ 출력 및 좌방향 시프트 레지스터(52)에 의해 제1 범위선택가능 디코더(42)의 출력을 1비트 좌방향으로 시프트시킨 출력 $0000_0000_1111_0000$ 을 미들 활성화 신호발생기(46)에서 논리곱(AND)을 취하면 그 결과값은 $0000_0000_0011_0000$ 으로 얻어진다.
- <102> 상기한 미들 활성화 신호발생기(46)의 출력 $0000_0000_0011_0000$ 은 제5 및 제6 그룹을 활성화시키는 것을 의미한다.
- <103> 또한, 하이 그룹(hi)을 선택하여 활성화시키기 위한 하이 활성화 신호(HI-EN)는 상기 제1 범위선택가능 디코더(42)의 출력, 우방향 시프트 레지스터(51)에 의해 제1 범위선택가능 디코더(42)의 출력을 1비트 우방향으로 시프트시킨 다음 제2반전기(54)의 의해 반전된 출력 $1111_1111_1100_0011$ 및 좌방향 시프트 레지스터(52)에 의해 제1 범위선택가능 디코더(42)의 출력을 1비트 좌방향으로 시프트시킨 출력 $0000_0000_1111_0000$ 을 하이 활성화 신호발생기(47)에서 논리곱(AND)을 취하면 그 결과값은 $0000_0000_0100_0000$ 으로 얻어진다.
- <104> 상기한 하이 활성화 신호발생기(47)의 출력 $0000_0000_0100_0000$ 은 제7그룹을 활성화시키는 것을 의미한다.
- <105> 하이 그룹(hi)은 하이 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 값이 선택되며, 로우 그룹(low)과 하이 그룹(hi) 사이의 미들 그룹(mid)은 그룹 내부의 모든 어드레스를 1_2 로 출력하여 선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스가 선택되게 한다.

- <106> 이제 선택된 각 그룹에서의 출력 값을 도 10을 참고하여 살펴보면 다음과 같다.
- <107> 먼저 로우 그룹(low)은 로우 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 그룹 내부의 16개 어드레스 중에서 로우 어드레스 값이 선택되게 된다.
- <108> 상기와 같이 제2멀티플렉서 그룹(49a)의 출력은 1_2 입력 값이 출력되므로 16개의 제1AND 게이트 그룹(55)의 각각의 일측 입력단자에는 로우 활성화 신호(LOW-EN)로서 1111_1111_1111_1111의 1비트가 인가되고, 타측 입력단자에는 상기 제2 범위선택가능 디코더(43)의 출력 1111_1111_0000_0000 $_2$ 이 모두 인가되어 16개의 제1AND 게이트 그룹(55)의 출력 값은 로우 그룹의 출력으로서 56부터 64까지 모두 1_2 (one)이고 나머지는 모두 0_2 (zero)인 값을 갖는다.
- <109> 하이 그룹(hi)은 하이 어드레스 입력의 하위 4 비트[3:0]에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 값이 선택되게 된다.
- <110> 이 경우 상기와 같이 제4멀티플렉서 그룹(50)의 출력은 1_2 입력 값이 출력되므로 16개의 제3AND 게이트 그룹(57)의 각각의 일측 입력단자에는 하이 활성화 신호(HI-EN)로서 1111_1111_1111_1111의 1비트가 인가되고, 타측 입력단자에는 상기 제3 범위선택가능 디코더(44)의 출력 0000_0000_0000_0011 $_2$ 이 모두 인가되어 16개의 제3AND 게이트 그룹(57)의 출력 값 0000_0000_0000_0011 $_2$ 은 하이 그룹의 출력으로서 97부터 98까지 모두 1_2 (one)이고 나머지는 모두 0_2 (zero)인 값을 갖는다.
- <111> 또한, 미들 그룹에서는 선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스를 선택하여 모든 출력에 1_2 (all's one)를 출력하기 위해 16개의 제2AND 게이트 그룹(56)의 각각의 일측 입력에 미들 활성화 신호(MID-EN)로서 1111_1111_1111_1111의 1비트가 인가되고, 타측

입력단자에는 16'hffff, 즉, 1111_1111_1111_1111이 인가되어, 16개의 제2AND 게이트 그룹(56)의 출력 값 1111_1111_1111_1111₂은 미들 그룹의 출력으로서 65부터 96까지 모두 1₂(one)이고 나머지는 모두 0₂(zero)인 값을 갖는다.

<112> 따라서, 제1 내지 제3 AND 게이트 그룹(55-57)의 OR 연산 출력은 56부터 98까지 1₂(one)이고 나머지는 모두 0₂(zero)인 값으로 하이 어드레스 입력 값인 0110_0010₂(98₁₀)과 로우 어드레스 입력 값인 0011_1000₂(56₁₀)의 사이 범위에 해당되는 출력 비트만 1이 되고, 나머지는 모두 0가 된다.

<113> 이하에 도 11a 내지 도 11c를 참고하여 본 발명의 제1실시예에 따른 프레임 메모리 장치를 사용하여 구현 가능한 그래픽의 예를 설명한다.

<114> 도 11a에는 X축에 평행한 직선을 그리는 경우를 나타낸 것이다. 이 경우 범위선택가능 컬럼 어드레스 디코더(12)에 인가되는 로우 및 하이 컬럼 어드레스(HI-COL-ADD, LOW-COL-ADD)로서 원하는 직선의 하한값과 상한값, 예를들어 3과 6을 지정하고, 범위선택가능 로우 어드레스 디코더(13)의 로우(low) 및 하이(hi) 로우(row) 어드레스(HI-ROW-ADD, LOW-ROW-ADD)로서 하나의 값, 예를들어 4를 지정하는 경우, 도 11a와 같이 X축에 평행한 직선이 표시된다.

<115> 도 11b에는 Y축에 평행한 직선을 그리는 경우를 나타낸 것이다. 이 경우 범위선택가능 로우 어드레스 디코더(13)에 인가되는 로우 및 하이 로우 어드레스로서 원하는 직선의 하한값과 상한값, 예를들어 2과 7을 지정하고, 범위선택가능 컬럼 어드레스 디코더(12)의 로우 및 하이 컬럼 어드레스로서 하나의 값, 예를들어 4를 지정하는 경우, 도 11b와 같이 Y축에 평행한 직선이 표시된다.

- <116> 도 11c에는 색이 채워진 사각형을 그리는 경우를 나타낸 것이다. 이와 같이 색이 채워진 사각형을 그리는 경우는 범위선택가능 컬럼 어드레스 디코더(12)에 인가되는 로우 및 하이 컬럼 어드레스로서 원하는 사각형의 컬럼범위의 하한값과 상한값, 예를들어 3과 6을 지정하고, 범위선택가능 로우 어드레스 디코더(13)의 로우 및 하이 로우 어드레스로서 사각형의 로우범위의 하한값과 상한값, 예를들어 3과 6을 지정하면 도시된 바와 같은 정사각형 또는 직사각형의 공간에 대한 그래픽이 한번에 가능하게 된다.
- <117> 이상의 예는 모두 한번에 쓰기 가능하므로 메모리 셀의 수만큼 쓰기를 하여야 하는 종래의 메모리 구조에 비해 비교할 수 없으리만큼 고속화가 가능하고, 그 결과 메모리 전단의 그래픽 처리부에서 메모리 쓰기 동작이 완료되기를 기다릴 필요가 없어짐에 따라 그래픽 처리부의 구조도 간단해 질 수 있다.
- <118> 상기한 제1실시예에 따른 프레임 메모리 장치는 컬럼 및 로우 디코더가 각각 8비트 입력을 받아서 256 어드레스 출력을 발생하므로 256×256 크기의 메모리 용량을 갖는 프레임 메모리에 사용이 가능하게 된다.
- <119> 또한 상기한 본 발명의 제1실시예에 따른 프레임 메모리 장치에서는 컬럼 및 로우 어드레스 디코더를 모두 범위선택가능 디코더를 사용하여 구현된 것이다.
- <120> 그러나, 본 발명에서는 하이 및 로우 어드레스에 의해 2개의 어드레스 라인을 지정할 수 있는 일반적인 어드레스 디코더와 상기한 범위 선택 가능 디코더를 조합하는 경우 다음과 같이 2개의 직선을 한번에 쓰기 가능하게 된다.
- <121> 도 12는 본 발명의 제2실시예에 따른 프레임 메모리 장치의 개략 구성도로서, X축에 평행한 2개의 평행선(L1,L2)을 한번에 그릴 때 사용될 수 있다.

- <122> 본 발명의 제2실시예에 따른 프레임 메모리 장치는 매트릭스 방식으로 배열된 다수의 메모리셀(11)과, 하이 및 로우 컬럼 어드레스를 받아서 상기 다수의 메모리셀(11)에 대한 적어도 1이상의 컬럼 어드레스 범위를 지정하기 위한 적어도 1이상의 컬럼 어드레스 선택신호를 발생하기 위한 범위선택가능 컬럼 어드레스 디코더(12)와, 하이 및 로우 로우 어드레스를 받아서 상기 다수의 메모리셀(11)에 대한 2개의 로우 어드레스를 지정하기 위한 2개의 로우 어드레스 선택신호를 발생하기 위한 범용 어드레스 디코더(70)로 구성되어 있다.
- <123> 상기 어드레스 디코더(70)는 도 15와 같이 하이(high)와 로우(low)의 두 개의 어드레스를 입력받아, 각각 두 어드레스 라인에 위치하는 메모리 셀 모두(도 12의 경우는 빗금 친 2개의 라인의 메모리 셀)를 활성화시킬 수 있는 2개의 어드레스 선택신호를 생성하는 디코더이다.
- <124> 상기 범용 어드레스 디코더(70)는 각각 8비트의 하이 및 로우 어드레스 입력이 인가될 때 각각 256개의 출력 중에서 하나의 출력을 활성화시키는 범용 제1 및 제2 8-to-256 디코더(71,72)와, 상기 제1 및 제2 8-to-256 디코더(71,72)의 동일레벨 출력을 각각 논리합하기 위한 256개의 OR 게이트(73)로 구성되어 있다.
- <125> 따라서, 상기 범용 어드레스 디코더(70)는 각각 8비트의 하이 및 로우 어드레스 입력이 제1 및 제2 8-to-256 디코더(71,72)에 인가될 때 각각 256개의 출력 중에서 하나의 출력을 활성화시키는 디코더 출력을 발생하며, 제1 및 제2 8-to-256 디코더(71,72)의 각각의 출력은 256개의 OR 게이트(73)에서 논리합이 이루어지므로, 결국 2개의 디코더(71,72) 출력이 로우 어드레스로서 발생된다.
- <126> 따라서, 상기한 디코더 구조를 갖는 제2실시예에 따른 프레임 메모리 장치에서는 8비트의 하이 및 로우 로우 어드레스의 입력에 따라 범용 어드레스 디코더(70)로부터 지정되는 2개의 로우 라인에서 범위선택가능 컬럼 디코더(12)에 의해 지정되는 로우 컬럼 어드레스부터 하

이 컬럼 어드레스 사이의 메모리 셀이 지정되어 데이터가 쓰여지게 된다. 즉 X축에 평행한 2개의 평행선(L1,L2)을 한번의 쓰기 동작으로 그려질 수 있게 된다.

<127> 도 13은 본 발명의 제3실시예에 따른 프레임 메모리 장치의 개략 구성도이다. 제3실시예는 제2실시예와 유사하며, 단지 범위선택가능 어드레스 디코더를 로우 어드레스 디코더로 사용하고, 도 15에 도시된 범용 어드레스 디코더를 컬럼 어드레스 디코더로 사용한 구조이다.

<128> 따라서, 상기한 디코더 구조를 갖는 제3실시예에 따른 프레임 메모리 장치에서는 8비트의 하이 및 로우 컬럼 어드레스의 입력에 따라 범용 어드레스 디코더(70a)로부터 지정되는 2개의 컬럼 라인에서 범위선택가능 로우 디코더(13)에 의해 지정되는 로우 로우 어드레스부터 하이 로우 어드레스 사이의 메모리 셀이 지정되어 데이터가 쓰여지게 된다. 즉, Y축에 평행한 2개의 평행선(L11,L12)을 한번의 쓰기 동작으로 그려질 수 있게 된다.

<129> 도 14는 본 발명의 제4실시예에 따른 프레임 메모리 장치의 개략 구성도이다. 상기 제4실시예에 따른 프레임 메모리 장치는 도 15에 도시된 범용 어드레스 디코더를 컬럼 및 로우 어드레스 디코더(70a,70)로 사용한 구조이다.

<130> 따라서, 상기한 디코더 구조를 갖는 제4실시예에 따른 프레임 메모리 장치에서는 8비트의 하이 및 로우 로우 어드레스의 입력에 따라 범용 어드레스 디코더(70)로부터 지정되는 2개의 로우 라인과, 하이 및 로우 컬럼 어드레스의 입력에 따라 범용 어드레스 디코더(70a)로부터 지정되는 2개의 컬럼 라인이 서로 교차하여 만나는 지점의 4개의 메모리 셀이 지정되어 데이터가 쓰여지게 된다. 즉, 4각형의 네 꼭지점에 대응하는 4개의 메모리셀(M22,M27,M72,M77)을 한번의 쓰기 동작으로 그려질 수 있게 된다.

- <131> 따라서, 상기한 제2 내지 제4 실시예에 따른 프레임 메모리 장치에서는 제1실시예 보다 는 떨어지나 도 1에 도시된 종래의 메모리 장치에 비하면 상대적으로 한번에 다수의 메모리셀 에 대한 데이터 쓰기가 가능하여 고속의 그래픽 처리가 이루어질 수 있게 된다.
- <132> 본 발명의 메모리 구조를 통해 휴대폰, PDA 등에서의 그래픽 처리의 고속화가 가능하게 된다. 이는 현재 LCD 패널이 STN에서 TFT를 거쳐 유기 EL(OLED)로 진화하는 추세에 비추어 볼 때 매우 유용한 효과를 제공하게 된다.
- <133> 상기 실시예에 있어서는 하이 및 로우 어드레스가 최대 8비트인 경우를 예를 들어 256× 256 크기의 메모리셀을 구비한 프레임 메모리 장치에 대한 것을 예시하였으나, 본 발명에서는 상기 실시예에 한정되지 않고 범위선택가능 디코더의 입력 비트수를 확장함에 의해 더 큰 메모 리 용량을 갖는 메모리 장치에 대하여도 변형이 가능함을 당업자에게 쉽게 이해될 것이다.
- 【발명의 효과】**
- <134> 상기한 바와 같이 본 발명에서는 크기가 제한된 각종 포터블 단말기에서 프로세서의 부 담을 덜어주도록 각각 2개의 어드레스에 의해 원하는 범위의 연속된 어드레스 지정이 가능한 로우/컬럼 어드레스 디코더를 이용하여 한번에 원하는 범위의 다수의 메모리셀을 선택, 데이터 쓰기가 가능하여 고속의 그래픽 처리가 이루어질 수 있다.
- <135> 따라서, 본 발명은 고속의 그래픽 처리에 필요한 그래픽 데이터를 프레임 메모리에 저장 하는 기술을 포함하는 예를 들면, 휴대폰(cellular phone), PDA 등과 같은 포터블 단말기의 모 든 분야에 적용 가능하다.
- <136> 이상에서는 본 발명을 특정의 바람직한 실시예를 예를들어 도시하고 설명하였으나, 본 발명은 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위내에서 당해

발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변경과 수정이 가능할 것이다.

【특허청구범위】

【청구항 1】

매트릭스 방식으로 배열된 다수의 메모리셀과,

제 1 및 제2 컬럼 어드레스를 받아서 상기 다수의 메모리셀에 대한 적어도 1이상의 연속된 컬럼 어드레스 범위를 지정하기 위하여 적어도 1이상의 연속된 컬럼 어드레스 선택신호를 발생하기 위한 범위선택가능 컬럼 어드레스 디코더와,

제1 및 제2 로우 어드레스를 받아서 상기 다수의 메모리셀에 대한 적어도 1이상의 연속된 로우 어드레스 범위를 지정하기 위하여 적어도 1이상의 연속된 로우 어드레스 선택신호를 발생하기 위한 범위선택가능 로우 어드레스 디코더로 구성되며,

상기 적어도 1이상의 연속된 컬럼 어드레스 선택신호와 적어도 1이상의 연속된 로우 어드레스 선택신호에 의해 선택되는 다수의 메모리셀에 대하여 그래픽 데이터 쓰기가 한번에 이루어지는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 제1 및 제2 컬럼 어드레스가 서로 동일하고, 제1 및 제2 로우 어드레스가 서로 다른 경우 제1 및 제2 로우 어드레스 사이의 연속된 어드레스에 해당하는 Y축과 평행한 하나의 직선상의 다수의 메모리셀이 선택되고, 상기 제1 및 제2 로우 어드레스가 서로 동일하고, 제1 및 제2 컬럼 어드레스가 서로 다른 경우 제1 및 제2 컬럼 어드레스 사이의 연속된 어드레스에 해당하는 X축과 평행한 하나의 직선상의 다수의 메모리셀이 선택되는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 제1 및 제2 컬럼 어드레스가 서로 다르고 제1 및 제2 로우 어드레스가 서로 다른 경우, 제1 및 제2 컬럼 어드레스 사이의 연속된 어드레스에 해당되고 제1 및 제2 로우 어드레스 사이의 연속된 어드레스에 해당되는 사각형상 내의 모든 메모리셀이 선택되는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 범위선택가능 컬럼 어드레스 디코더와 범위선택가능 로우 어드레스 디코더는 각각 제1 및 제2 컬럼 어드레스와 제1 및 제2 로우 어드레스가 각각 8비트 신호인 경우 256개 전체 어드레스를 16 그룹으로 나누어 16개 어드레스를 하나의 단위로 하여, 상기 제1 및 제2 어드레스 입력의 각각 상위 4 비트에 의해 해당 그룹을 선택하고, 제1 및 제2 어드레스 중에서 로우(low) 어드레스 입력의 하위 4 비트에 의해 선택된 그룹 내부의 16개 어드레스 중에서 로우 어드레스 범위를 선택하며, 제1 및 제2 어드레스 중에서 하이(hi) 어드레스 입력의 하위 4 비트에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 범위를 선택하고, 선택된 제1 어드레스와 제2 어드레스 사이의 연속된 모든 어드레스를 선택하는 것에 의해 연속된 범위의 어드레스 선택이 이루어지는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 5】

제4항에 있어서, 상기 범위선택가능 컬럼 어드레스 디코더와 범위선택가능 로우 어드레스 디코더는 각각 8-to-256 범위선택가능 디코더로 구성되며, 상기 8-to-256 범위선택가능 디코더는

상기 하이 및 로우 두 어드레스 입력의 상위 4 비트 값이 서로 동일한지 여부를 판단하여, 동일한 경우 1 그룹만을 선택하고 동일하지 않은 경우 2이상의 그룹이 선택되도록 멀티플렉서에 대한 출력선택신호를 발생하는 XOR 게이트와,

상기 하이 및 로우 두 어드레스의 상위 4비트 입력 사이의 범위를 선택하기 위한 제1 범위선택가능 디코더를 구비하고, 하이 및 로우 두 어드레스 입력의 상위 4 비트 값이 서로 동일하지 않은 경우 각각 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)을 선택하는 로우 활성화 신호(LOW-EN), 미들 활성화 신호(MID-EN) 및 하이 활성화 신호(HI-EN)를 발생하기 위한 그룹선택회로와,

상기 로우 어드레스 입력의 하위 4 비트에 의해 선택된 로우 그룹 내부의 16개 어드레스 중에서 로우 어드레스 범위를 선택하기 위하여 4'b1111와 로우 어드레스 입력 값의 하위 4 비트 사이의 범위값을 선택하기 위한 제2 범위선택가능 디코더와,

상기 하이 어드레스 입력의 하위 4 비트에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 범위를 선택하기 위하여 4'b0000과 하이 어드레스 입력 값의 하위 4 비트 사이의 범위값을 선택하기 위한 제3 범위선택가능 디코더와,

상기 제3 범위선택가능 디코더의 입력단에 상기 로우 어드레스 입력의 하위 4 비트와 4'b0000 중 어느 하나의 입력을 상기 그룹선택회로의 출력에 따라 선택적으로 출력하기 위한 제1멀티플렉서와,

16개로 이루어지며 각각 일측 입력단자에 1'b0가 인가되고 타측 입력단자에 로우 활성화 신호(LOW-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제2멀티플렉서 그룹과,

16 개로 이루어지며 각각 일측 입력단자에 1'b0가 인가되고 타측 입력단자에 미들 활성화 신호(MID-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제3멀티플렉서 그룹과,

16개로 이루어지며 각각 일측 입력단자에 제1 범위선택가능 디코더의 출력이 인가되고 타측 입력단자에 하이 활성화 신호(HI-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제4멀티플렉서 그룹과,

상기 제2 범위선택가능 디코더의 출력이 각각의 일측 입력에 연결되고 다른 입력단에는 각각 16개의 제2멀티플렉서 그룹의 출력이 연결된 16개의 제1AND 게이트 그룹과,

선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스를 선택하도록 모든 출력에 1₂(all's one)를 출력하기 위해 각각의 일측 입력에 16'hffff이 인가되고 다른 입력단에는 각각 16개의 제3멀티플렉서 그룹의 출력이 연결된 16개의 제2AND 게이트 그룹과,

상기 제3 범위선택가능 디코더의 출력이 각각의 일측 입력에 연결되고 다른 입력단에는 각각 16개의 제4멀티플렉서 그룹의 출력이 연결된 16개의 제3AND 게이트 그룹과,

상기 제1 내지 제3 AND 게이트 그룹의 출력을 논리합하기 위한 OR 게이트로 구성되는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 6】

제5항에 있어서, 상기 그룹선택회로는 하이 및 로우 두 어드레스의 상위 4비트 입력 사이의 범위를 선택하기 위한 제1 범위선택가능 디코더와,

상기 제1 범위선택가능 디코더의 출력을 우방향으로 1비트 시프트시키기 위한 우방향 시프트 레지스터와,

상기 제1 범위선택가능 디코더의 출력을 좌방향으로 1비트 시프트시키기 위한 좌방향 시프트 레지스터와,

상기 우방향 시프트 레지스터의 출력을 반전시키기 위한 제1반전기와,

상기 좌방향 시프트 레지스터의 출력을 반전시키기 위한 제2반전기와,

상기 우방향 시프트 레지스터의 출력과, 상기 제1 범위선택가능 디코더의 출력 및 제1 반전기의 출력을 조합하여 로우 그룹(low)을 선택하여 활성화시키기 위한 로우 활성화 신호 (LOW-EN)를 발생하기 위한 로우 활성화 신호발생기와,

상기 우방향 시프트 레지스터의 출력과, 상기 제1 범위선택가능 디코더의 출력 및 좌방향 시프트 레지스터의 출력을 조합하여 미들 그룹(mid)을 선택하여 활성화시키기 위한 미들 활성화 신호 (MID-EN)를 발생하기 위한 미들 활성화 신호발생기와,

상기 제2반전기의 출력과, 상기 제1 범위선택가능 디코더의 출력 및 좌방향 시프트 레지스터의 출력을 조합하여 하이 그룹(hi)을 선택하여 활성화시키기 위한 하이 활성화 신호 (HI-EN)를 발생하기 위한 하이 활성화 신호발생기로 구성되는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 7】

제5항에 있어서, 상기 그룹선택회로는 하이 및 로우 두 어드레스 입력의 상위 4 비트 값이 서로 동일한 경우 1 그룹만을 선택하도록 제1 내지 제4 멀티플렉서 그룹의 출력을 모두 제로 입력이 선택되게 하여 제1 및 제2 AND 게이트 그룹의 출력이 모두 제로가 되게 하고,

상기 제1 범위선택가능 디코더의 출력의 각각 한 비트와 제3 범위선택가능 디코더의 출력 16 비트 모두가 16개의 제3AND 게이트 그룹에서 각각 논리곱(AND) 되어 컬럼 또는 로우 어드레스 선택신호로서 발생하는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 8】

제5항에 있어서, 상기 그룹선택회로는 하이 및 로우 두 어드레스 입력의 상위 4 비트 값이 서로 동일하지 않은 경우 다수 그룹을 선택하는 그룹 활성화(enable) 신호를 발생하여 상기 제1멀티플렉서 및 제2 내지 제4 멀티플렉서 그룹의 출력을 모두 "1" 입력이 선택되게 하여,

상기 제1 AND 게이트 그룹으로부터 선택된 로우 그룹(low)에 속하는 로우 어드레스 범위를 제2 범위선택가능 디코더의 출력에 따라 선택하고, 제2 AND 게이트 그룹으로부터 선택된 미들 그룹(mid)에 속하는 미들 어드레스 범위를 선택하며, 제3 AND 게이트 그룹으로부터 선택된 하이 그룹(hi)에 속하는 하이 어드레스 범위를 제3 범위선택가능 디코더의 출력에 따라 선택하는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 9】

제5항 내지 제8항 중 어느 한 항에 있어서, 상기 제1 내지 제3 범위선택가능 디코더는 각각 4-to-16 범위선택가능 디코더로 구성되며, 상기 4-to-16 범위선택가능 디코더는

상기 4비트의 로우 어드레스가 인가될 때 16비트 디코딩 출력을 발생하는 범용 제1디코더와,

상기 4비트의 하이 어드레스가 인가될 때 16비트 디코딩 출력을 발생하는 범용 제2디코더와,

상기 제1디코더의 제1 내지 제16 출력과 제2디코더의 제1 내지 제16 출력을 신호 처리하여 상기 로우 어드레스와 하이 어드레스 사이의 범위값을 선택하기 위한 제1 내지 제30 XOR 게이트로 구성되는 특징으로 하는 프레임 메모리 장치.

【청구항 10】

매트릭스 방식으로 배열된 다수의 메모리셀과,

하이 및 로우 컬럼 어드레스를 받아서 상기 다수의 메모리셀에 대한 적어도 1이상의 컬럼 어드레스 범위를 지정하기 위한 적어도 1이상의 컬럼 어드레스 선택신호를 발생하기 위한 범위선택가능 컬럼 어드레스 디코더와,

하이 및 로우 로우 어드레스를 받아서 상기 다수의 메모리셀에 대한 2개의 로우 어드레스를 지정하기 위한 2개의 로우 어드레스 선택신호를 발생하기 위한 범용 어드레스 디코더로 구성되며,

상기 하이 및 로우 로우 어드레스의 입력에 따라 범용 어드레스 디코더로부터 지정되는 2개의 로우 라인에서 범위선택가능 컬럼 디코더에 의해 지정되는 로우 컬럼 어드레스부터 하이 컬럼 어드레스 사이의 메모리 셀이 지정되어, 한번에 X축에 평행한 2개의 평행선 그래픽 데이터가 기입되는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 11】

매트릭스 방식으로 배열된 다수의 메모리셀과,

하이 및 로우(low) 로우(row) 어드레스를 받아서 상기 다수의 메모리셀에 대한 적어도 1이상의 로우 어드레스 범위를 지정하기 위한 적어도 1이상의 로우 어드레스 선택신호를 발생하기 위한 범위선택가능 로우 어드레스 디코더와,

하이 및 로우 컬럼 어드레스를 받아서 상기 다수의 메모리셀에 대한 2개의 컬럼 어드레스를 지정하기 위한 2개의 컬럼 어드레스 선택신호를 발생하기 위한 범용 어드레스 디코더로 구성되며,

상기 하이 및 로우 컬럼 어드레스의 입력에 따라 범용 어드레스 디코더로부터 지정되는 2개의 컬럼 라인에서 범위선택가능 로우 디코더에 의해 지정되는 로우 로우 어드레스부터 하이 로우 어드레스 사이의 메모리 셀이 지정되어, 한번에 Y축에 평행한 2개의 평행선 그래픽 데이터가 기입되는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 12】

매트릭스 방식으로 배열된 다수의 메모리셀과,

하이 및 로우 컬럼 어드레스를 받아서 상기 다수의 메모리셀에 대한 2개의 컬럼 어드레스를 지정하기 위한 2개의 컬럼 어드레스 선택신호를 발생하기 위한 제1 범용 어드레스 디코더와,

하이 및 로우 로우 어드레스를 받아서 상기 다수의 메모리셀에 대한 2개의 로우 어드레스를 지정하기 위한 2개의 로우 어드레스 선택신호를 발생하기 위한 제2 범용 어드레스 디코더로 구성되며,

상기 하이 및 로우 로우 어드레스의 입력에 따라 범용 어드레스 디코더로부터 지정되는 2개의 로우 라인과, 하이 및 로우 컬럼 어드레스의 입력에 따라 범용 어드레스 디코더로부터 지정되는 2개의 컬럼 라인이 서로 교차하여 만나는 지점의 4개의 메모리 셀이 한번의 쓰기 동작으로 그래픽 데이터가 기입되는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 13】

제10항 내지 제13항 중 어느 한 항에 있어서, 상기 범용 어드레스 디코더는

각각 8비트의 하이 및 로우 어드레스 입력이 인가될 때 각각 256개의 출력 중에서 하나의 출력을 활성화시키는 범용 제1 및 제2 8-to-256 디코더와,

상기 제1 및 제2 8-to-256 디코더의 동일레벨 출력을 각각 논리합하기 위한 제1 내지 제256 OR 게이트로 구성되는 것을 특징으로 하는 프레임 메모리 장치.

【청구항 14】

각각 8비트의 하이 및 로우 어드레스가 인가될 때 하이 어드레스와 로우 어드레스 사이의 연속된 범위값을 선택하기 위한 8-to-256 범위선택가능 디코더에 있어서,

상기 하이 및 로우 두 어드레스 입력의 상위 4 비트 값이 서로 동일한지 여부를 판단하여, 동일한 경우 1 그룹만을 선택하고 동일하지 않은 경우 2이상의 그룹이 선택되도록 멀티플렉서에 대한 출력선택신호를 발생하는 XOR 게이트와,

상기 하이 및 로우 두 어드레스의 상위 4비트 입력 사이의 범위를 선택하기 위한 제1 4-to-16 범위선택가능 디코더를 구비하고, 하이 및 로우 두 어드레스 입력의 상위 4 비트 값이 서로 동일하지 않은 경우 각각 로우 그룹(low), 미들 그룹(mid) 및 하이 그룹(hi)을 선택하는 로우 활성화 신호(LOW-EN), 미들 활성화 신호(MID-EN) 및 하이 활성화 신호(HI-EN)를 발생하기 위한 그룹선택회로와,

상기 로우 어드레스 입력의 하위 4 비트에 의해 선택된 로우 그룹 내부의 16개 어드레스 중에서 로우 어드레스 범위를 선택하기 위하여 4'b1111와 로우 어드레스 입력 값의 하위 4 비트 사이의 범위값을 선택하기 위한 제2 4-to-16 범위선택가능 디코더와,

상기 하이 어드레스 입력의 하위 4 비트에 의해 선택된 그룹 내부의 16개 어드레스 중에서 하이 어드레스 범위를 선택하기 위하여 4'b0000과 하이 어드레스 입력 값의 하위 4 비트 사이의 범위값을 선택하기 위한 제3 4-to-16 범위선택가능 디코더와,

상기 제3 4-to-16 범위선택가능 디코더의 입력단에 상기 로우 어드레스 입력의 하위 4 비트와 4'b0000 중 어느 하나의 입력을 상기 그룹선택회로의 출력에 따라 선택적으로 출력하기 위한 제1멀티플렉서와,

16개로 이루어지며 각각 일측 입력단자에 1'b0가 인가되고 타측 입력단자에 로우 활성화 신호(LOW-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제2멀티플렉서 그룹과,

16 개로 이루어지며 각각 일측 입력단자에 1'b0가 인가되고 타측 입력단자에 미들 활성화 신호(MID-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제3멀티플렉서 그룹과,

16개로 이루어지며 각각 일측 입력단자에 제1 4-to-16 범위선택가능 디코더의 출력이 인가되고 타측 입력단자에 하이 활성화 신호(HI-EN)가 인가되며, 그룹선택회로의 출력이 출력선택신호로서 인가되는 제4멀티플렉서 그룹과,

상기 제2 4-to-16 범위선택가능 디코더의 출력이 각각의 일측 입력에 연결되고 다른 입력단에는 각각 16개의 제2멀티플렉서 그룹의 출력이 연결된 16개의 제1AND 게이트 그룹과,

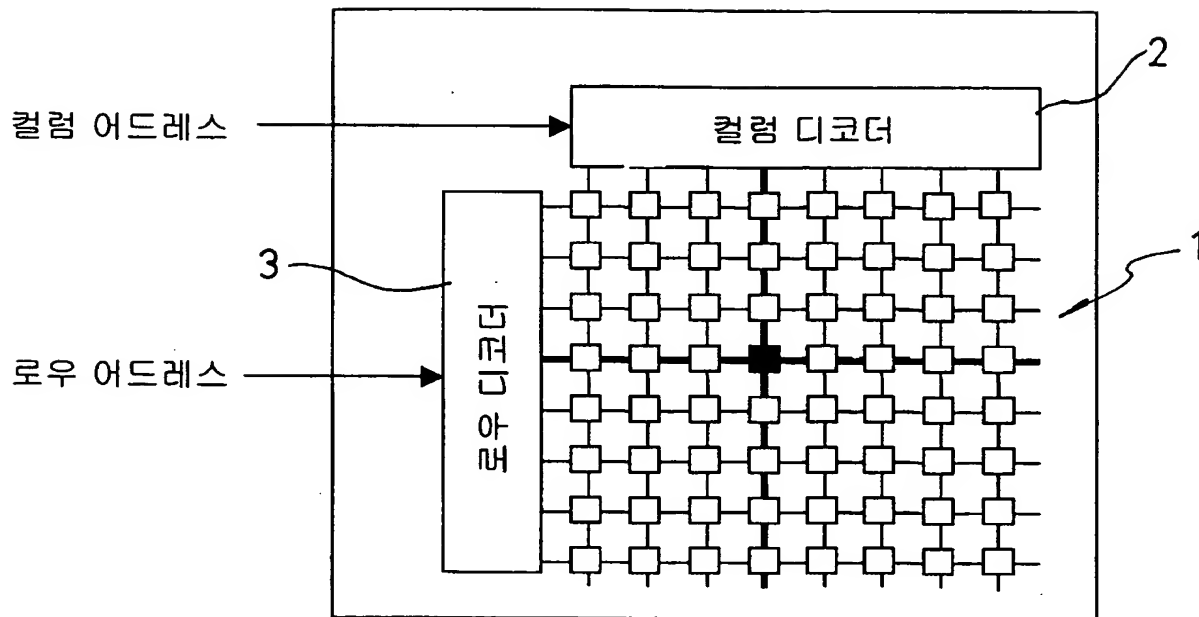
선택된 로우 어드레스와 하이 어드레스 사이의 모든 어드레스를 선택하도록 모든 출력에 1₂(all's one)를 출력하기 위해 각각의 일측 입력에 16'hffff이 인가되고 다른 입력단에는 각각 16개의 제3멀티플렉서 그룹의 출력이 연결된 16개의 제2AND 게이트 그룹과,

상기 제3 4-to-16 범위선택가능 디코더의 출력이 각각의 일측 입력에 연결되고 다른 입력단에는 각각 16개의 제4멀티플렉서 그룹의 출력이 연결된 16개의 제3AND 게이트 그룹과,

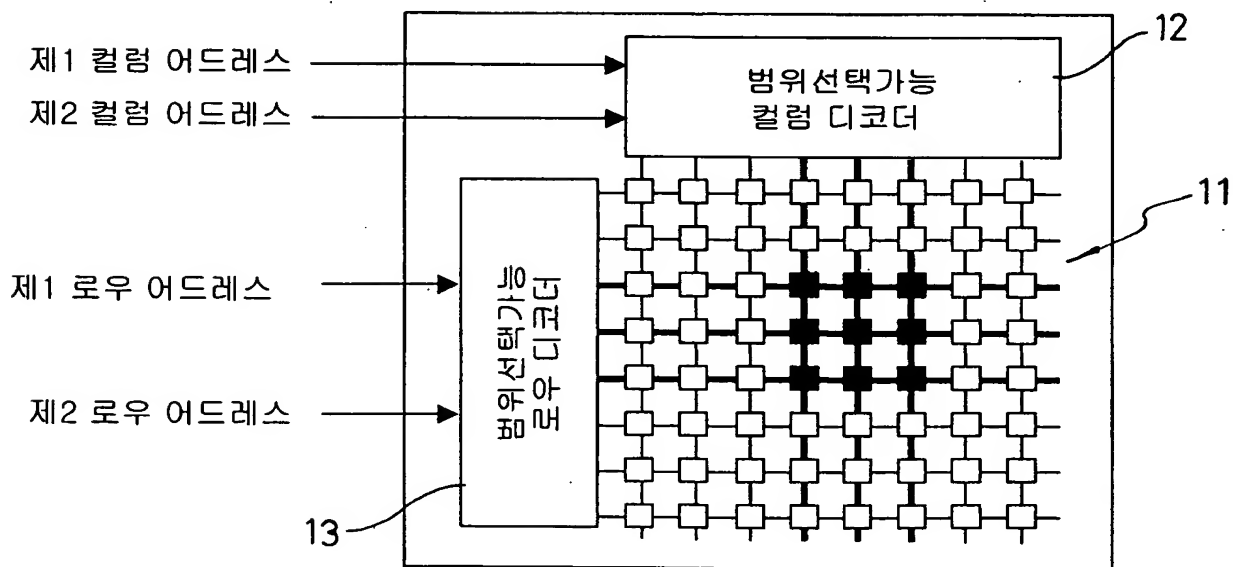
상기 제1 내지 제3 AND 게이트 그룹의 출력을 논리합하기 위한 OR 게이트로 구성되는 것을 특징으로 하는 8-to-256 범위선택가능 디코더.

【도면】

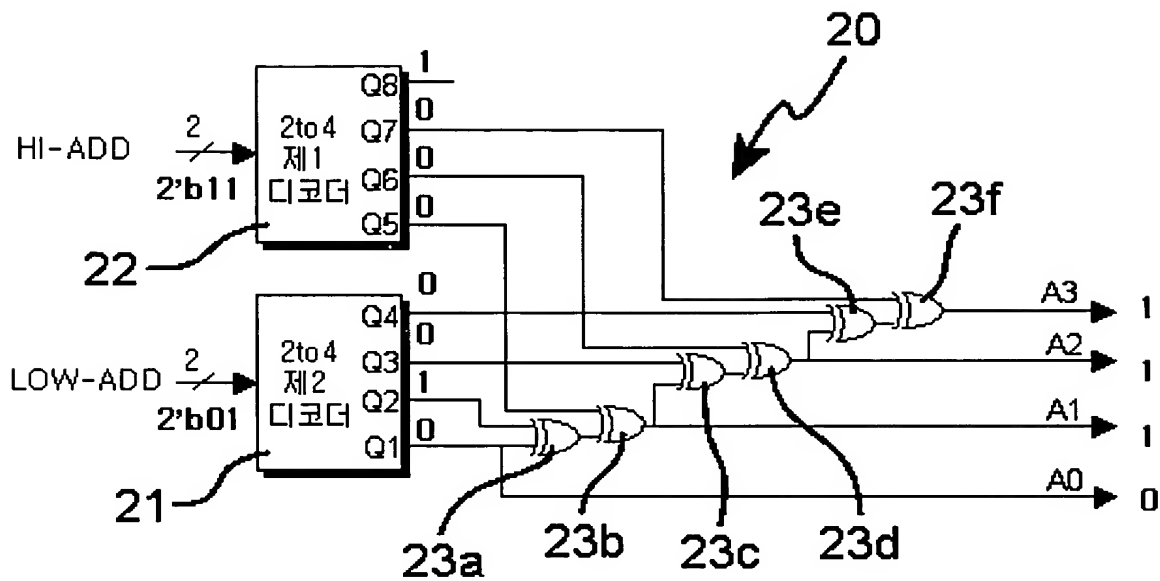
【도 1】



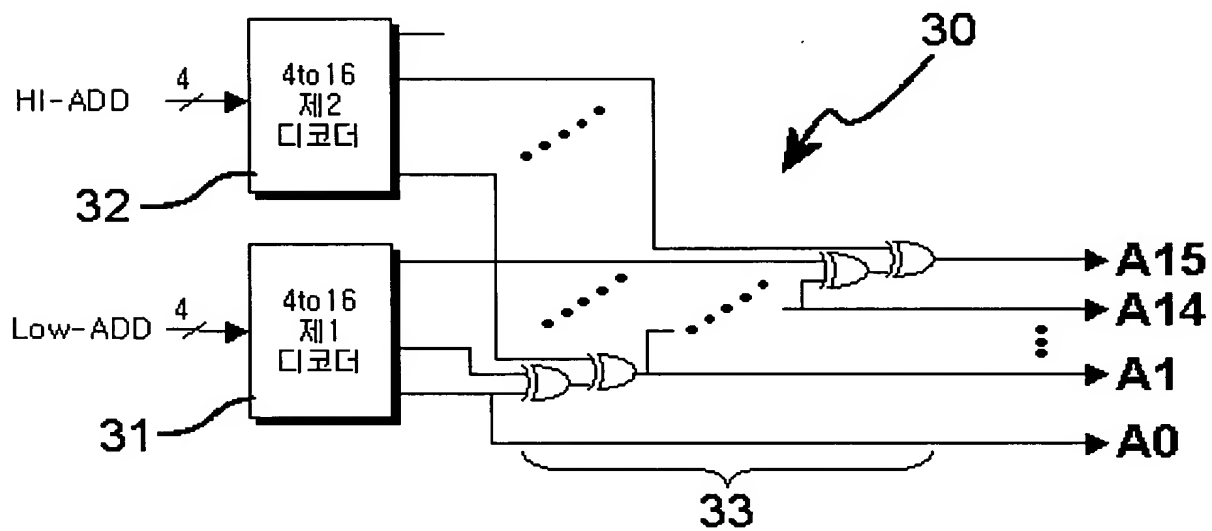
【도 2】



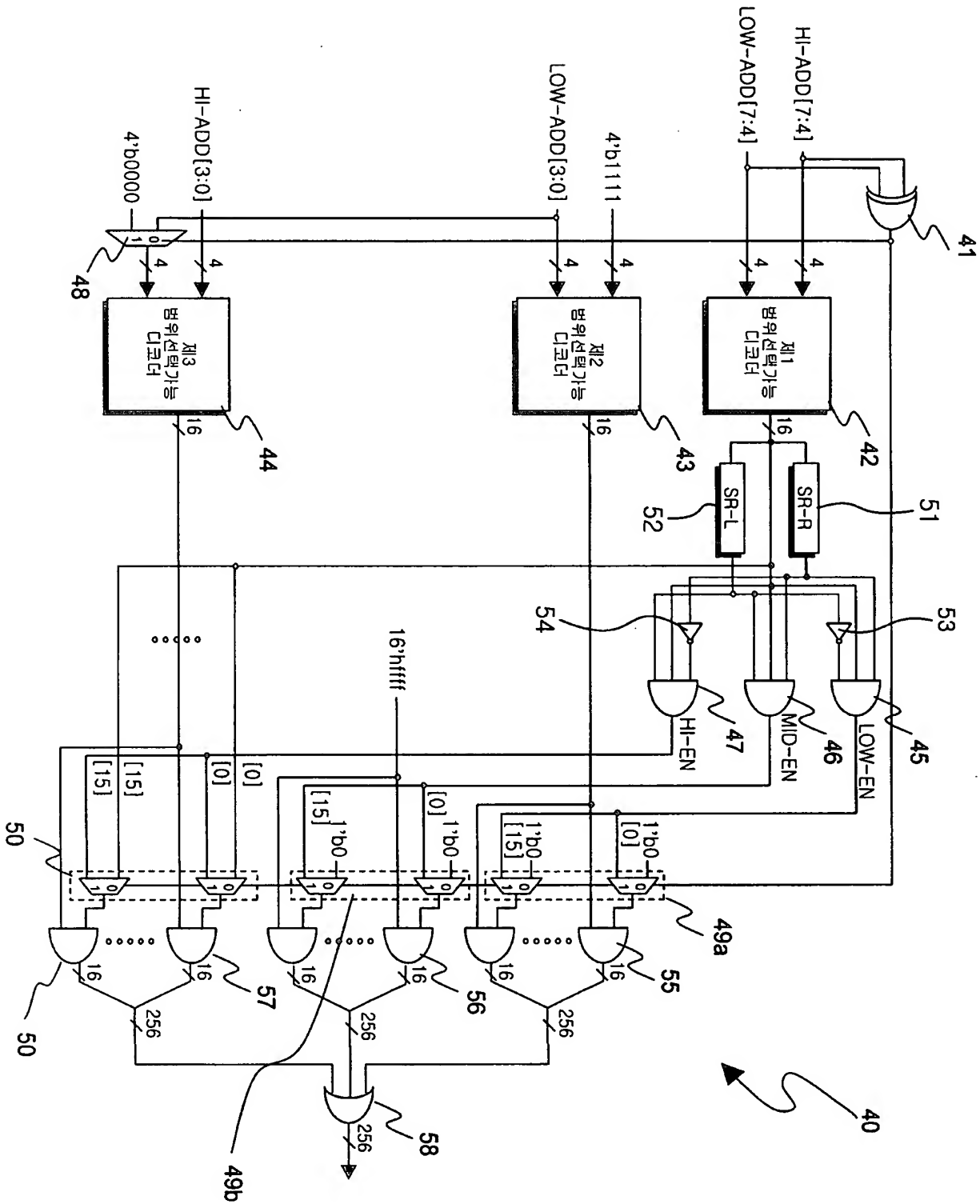
【도 3】



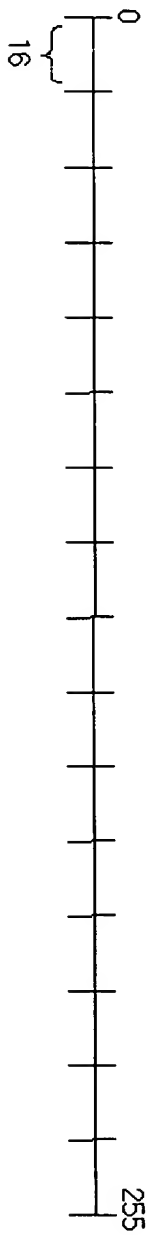
【도 4】

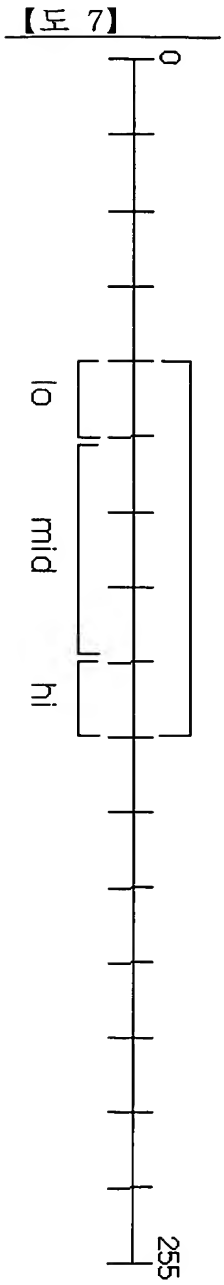


【도 5】

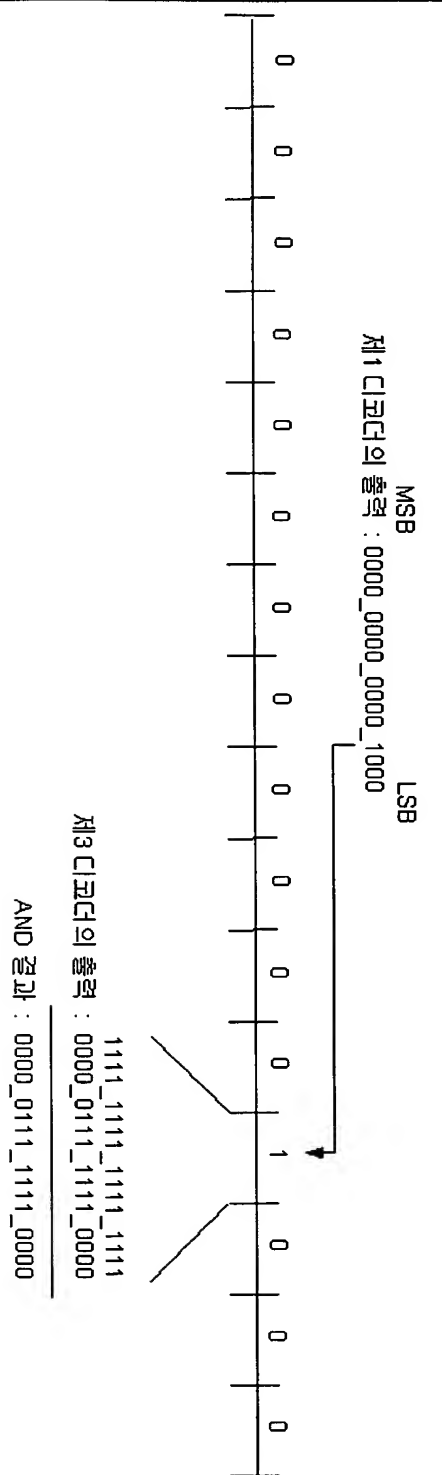


【도 6】





【도 8】



【도 9a】

제1 디코더	:	000000000111	1	000
Shift Right	:	000000000011	1	1000
~Shift Left	:	1111111110000	1	111
LOW-EN	:	0000000000000	1	000

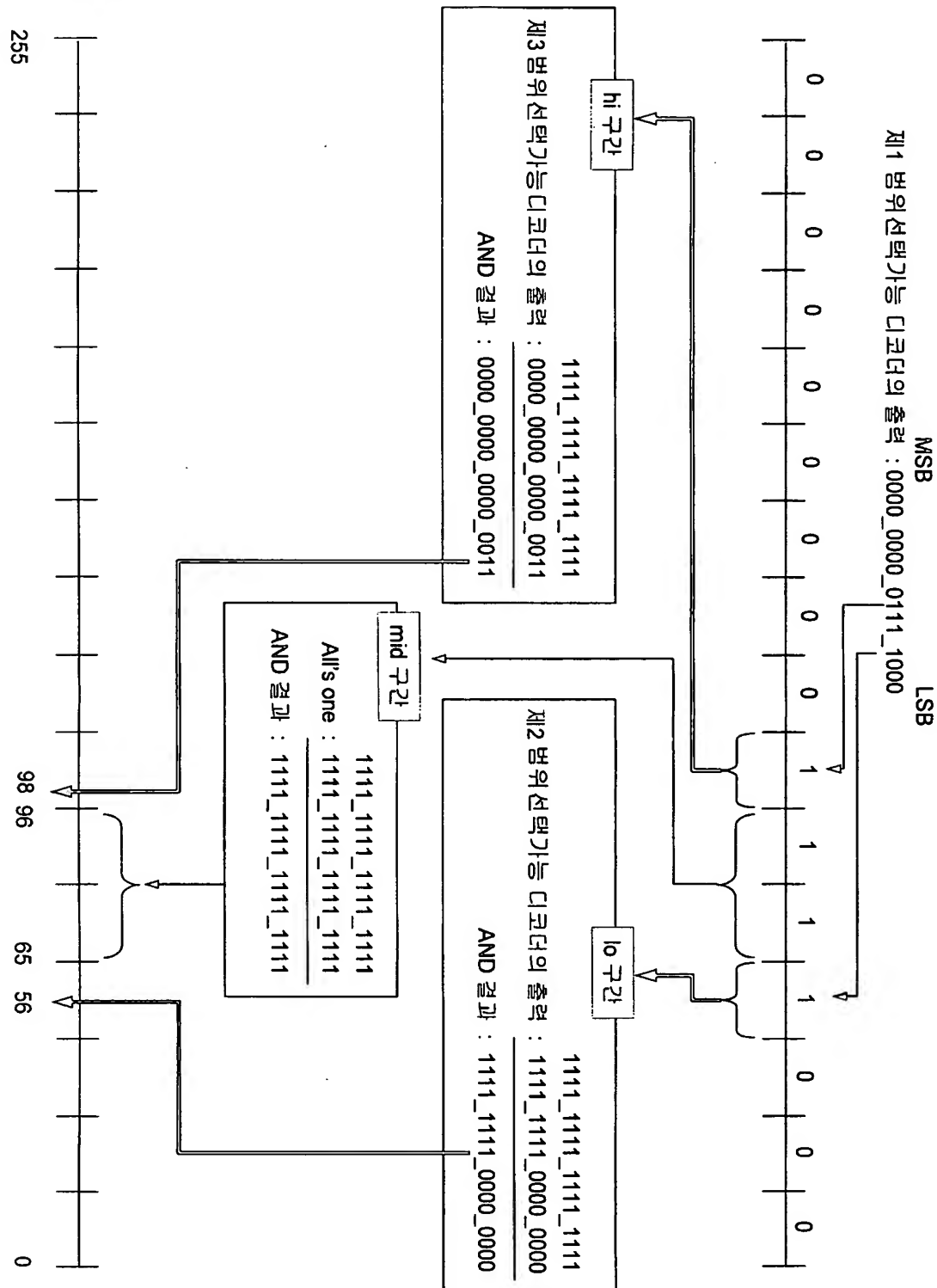
【도 9b】

제1 디코더	:	0000000001	11	1000
Shift Right	:	0000000000	11	11000
~Shift Left	:	00000000011	11	0000
MID-EN	:	0000000000	11	0000

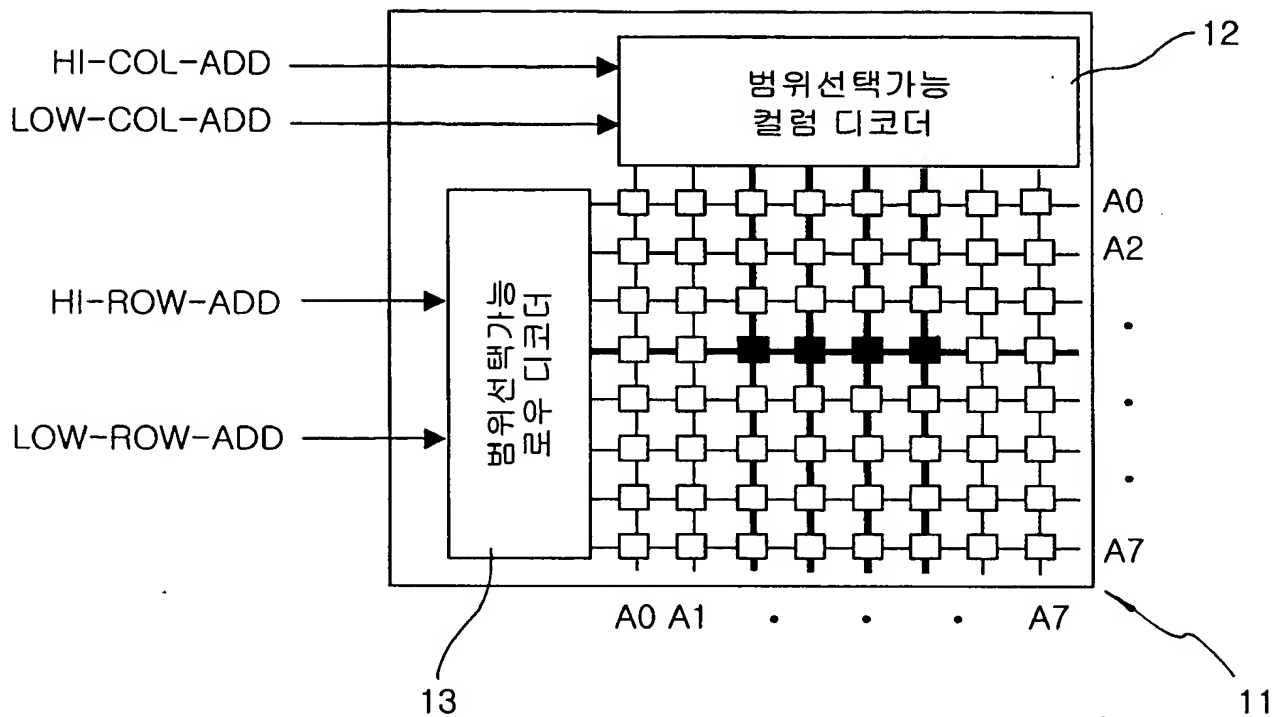
【도 9c】

제1 디코더	:	000000000	1	111000
Shift Right	:	111111111	1	0000111
~Shift Left	:	0000000001	1	110000
HI-EN	:	000000000	1	000000

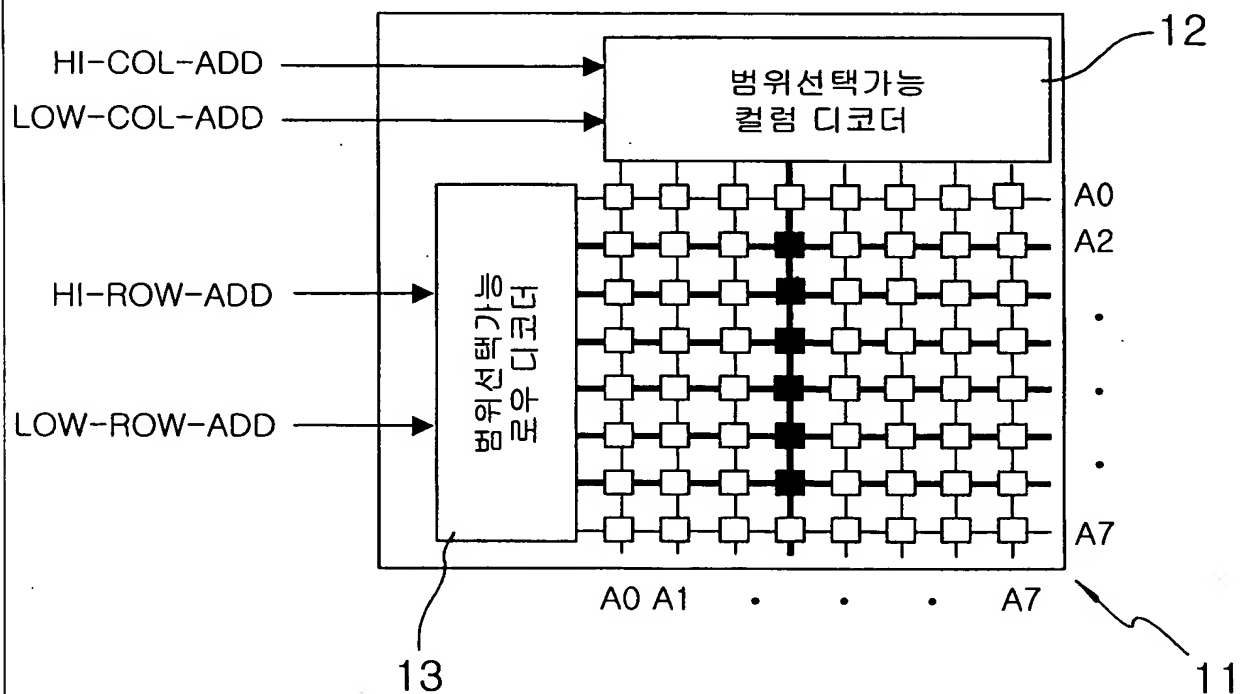
【도 10】



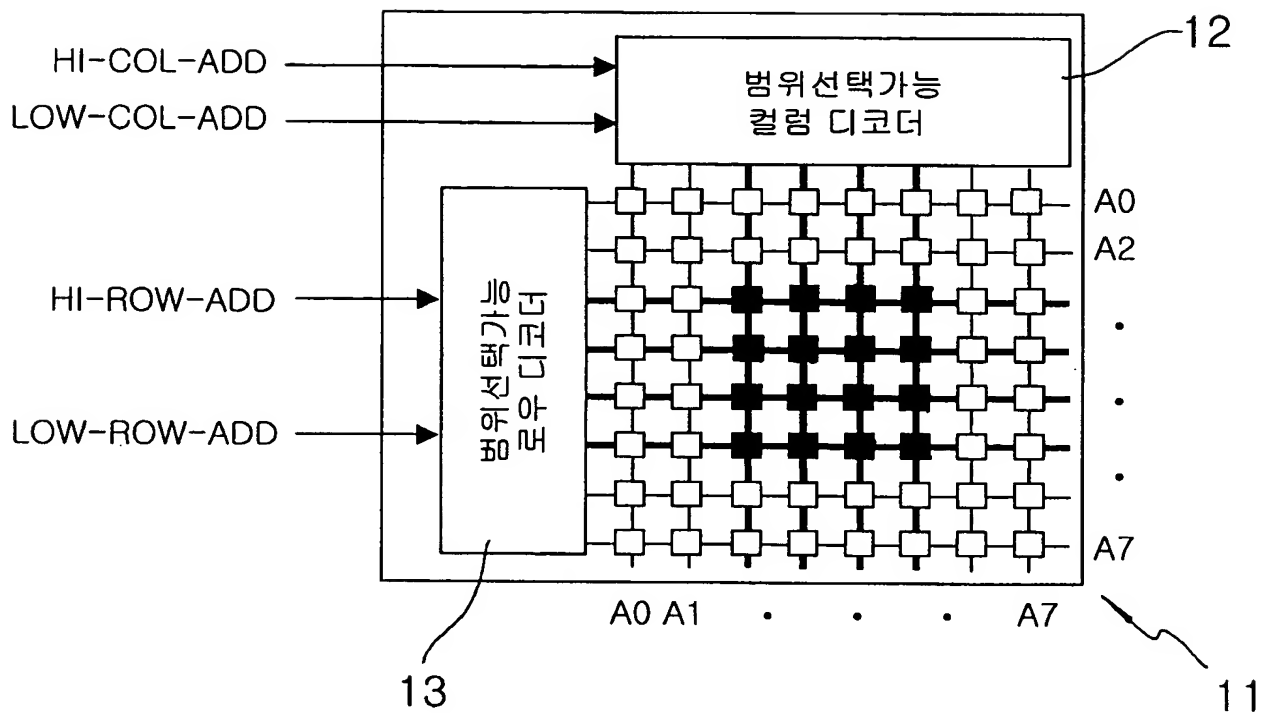
【도 11a】



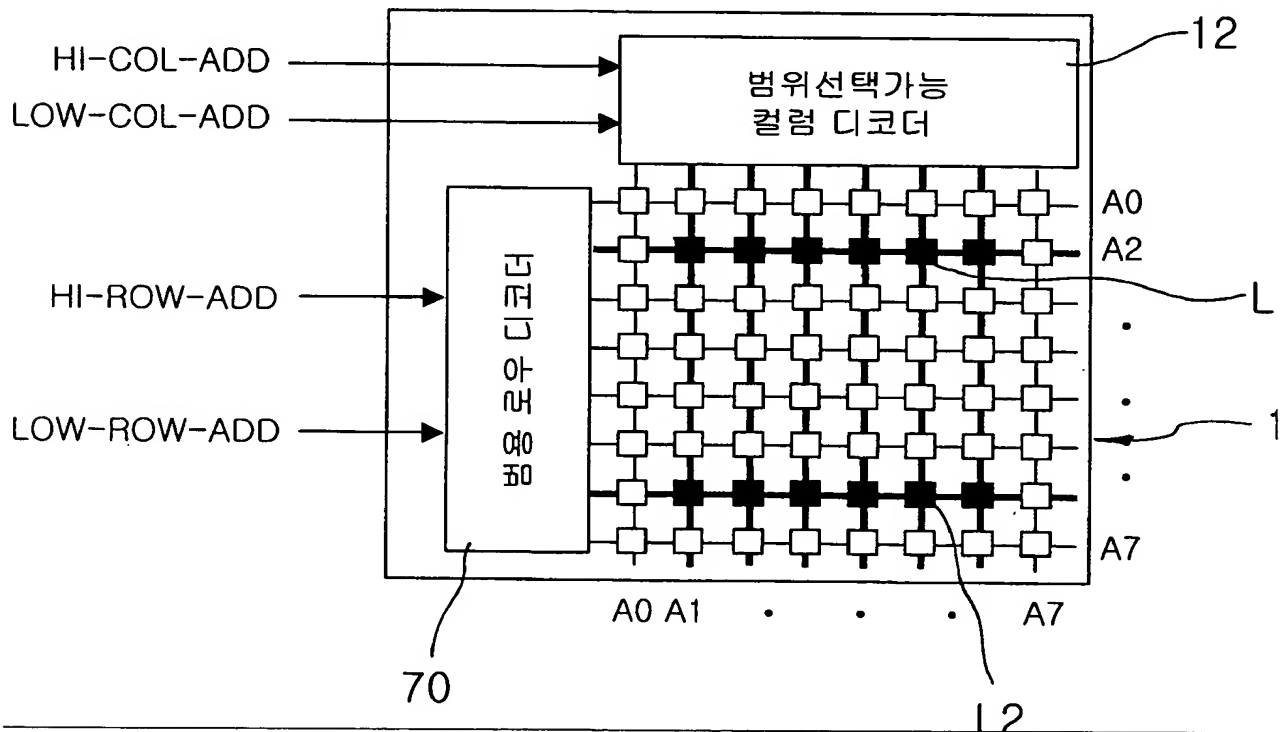
【도 11b】



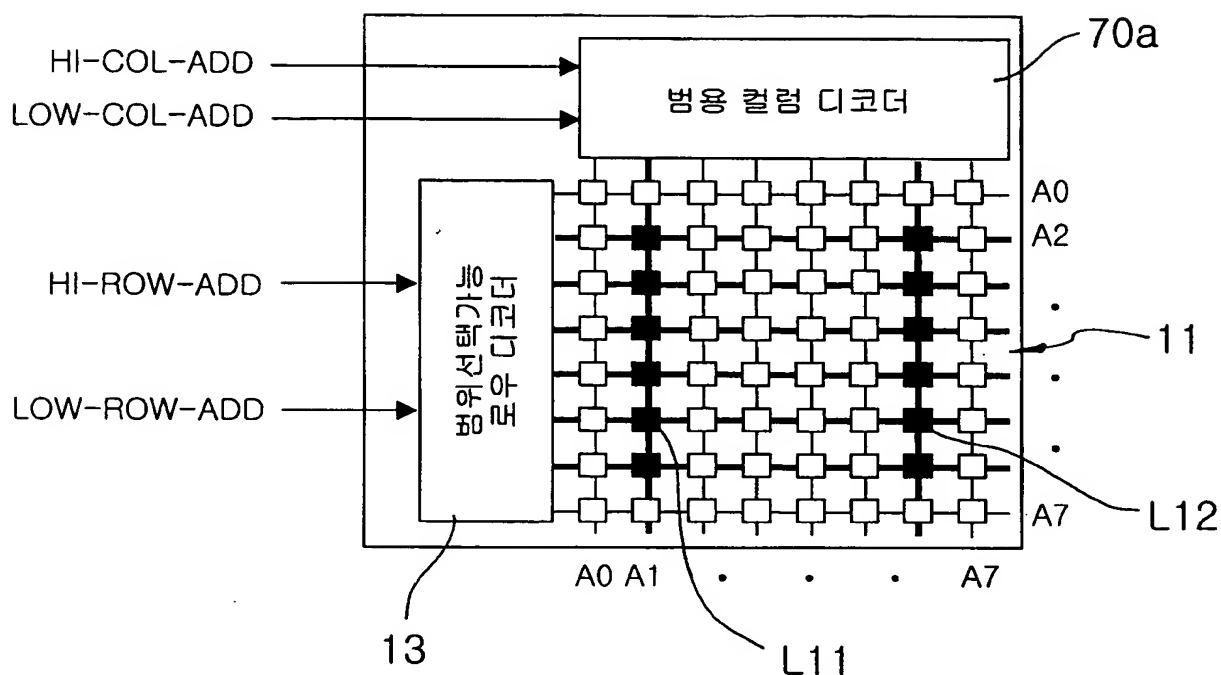
【도 11c】



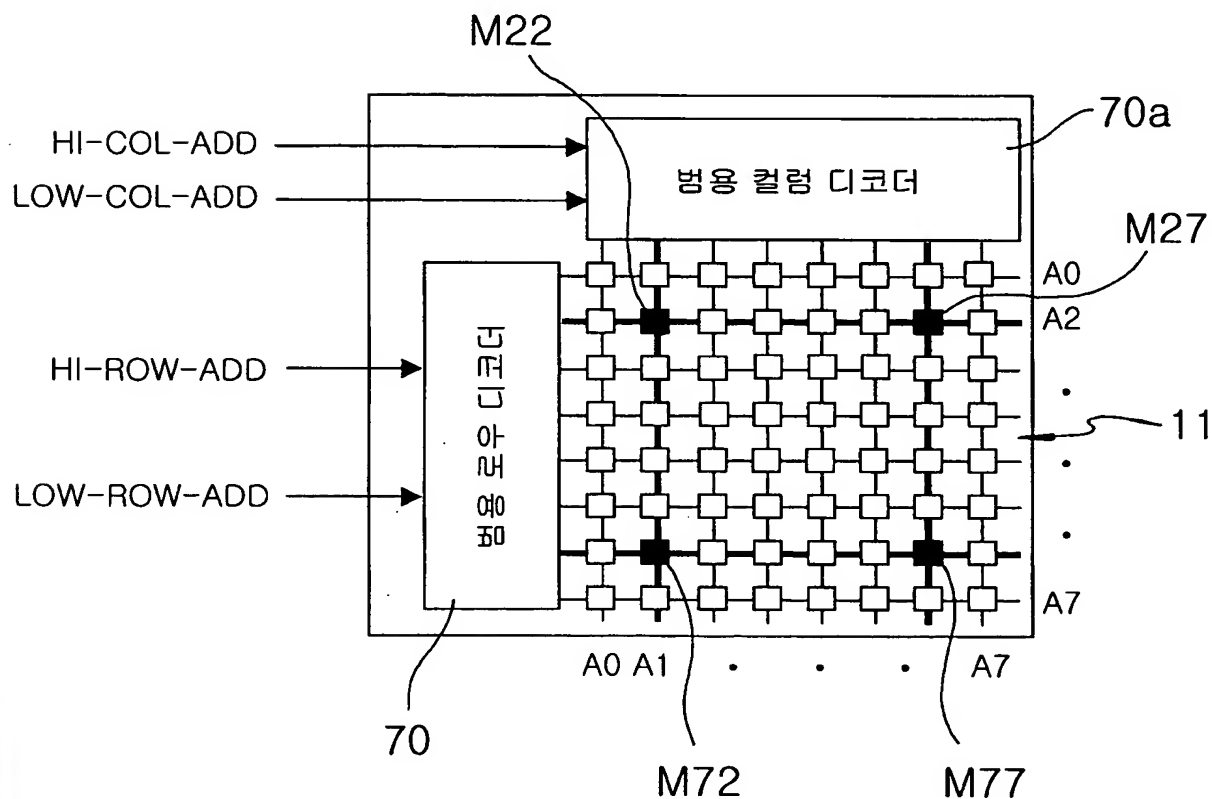
【도 12】



【도 13】



【도 14】



【도 15】

